

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
 US Department of Commerce
 United States Patent and Trademark
 Office, PCT
 2011 South Clark Place Room
 CP2/5C24
 Arlington, VA 22202
 ETATS-UNIS D'AMERIQUE
 in its capacity as elected Office

Date of mailing (day/month/year) 06 June 2001 (06.06.01)	Applicant's or agent's file reference P23651-P0
International application No. PCT/JP00/06261	Priority date (day/month/year) 16 September 1999 (16.09.99)
International filing date (day/month/year) 13 September 2000 (13.09.00)	
Applicant TAKEHASHI, Shin-itsu	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:
 14 March 2001 (14.03.01)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was

☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Maria Kirchner Telephone No.: (41-22) 338.83.38
--	---

明 細 書

薄膜トランジスタ及びその製造方法

5 技 術 分 野

本発明は、薄膜トランジスタ及びその製造方法に関し、特に液晶表示装置の画素スイッチング素子や駆動回路等を使用される薄膜トランジスタに関する。

10 背 景 技 術

(一般的な背景技術)

近年、単純マトリックス型表示装置と比較して高い画質が得られるため液晶パネルの画素電極毎に薄膜トランジスタ (Thin Film Transistor: TFTと称する) を備えたアクティブマトリックス型表示基板を用いた表示装置が盛んに研究されている。その中で、多結晶シリコン (以下、ポリシリコンとも記す) TFTの電子移動度が、非晶質シリコン (以下、原則としてアモルファスシリコンと記す) TFTと比較して1桁から2桁以上高いことに着目して、画素スイッチング素子としてのTFTと駆動回路をポリシリコンを使用した上で同一ガラス基板上に形成する、いわゆる駆動回路内蔵型の液晶表示装置が提案され、研究等されている。

しかしながら、駆動回路の内蔵化に際して用いられるポリシリコン型TFTは、アモルファス型TFTやMOS型電解効果トランジスタと比較してOFF電流が大きい。このため、そのままではこのポリシリコン型TFTを適用した駆動回路内蔵型の液晶表示装置の実現に大きな障害となる。

そこで、このようなポリシリコン型 T F T の電气的特性課題を解決するため、ゲート構造をサブゲート化して、T F T のソース領域またはドレイン領域の少なくとも一方の領域に隣接して、低濃度不純物領域 (L D D : L i g h t l y D o p e d D r a i n) を
5 設け、O F F 電流の低減を図ると同時にO N 電流の減少が起きない薄膜トランジスタ構造が提案され、研究等されている (S I D 9 6 D I G E S T p p 2 5 : S a m s u n g 電子、E u r o D s p l a y ' 9 6 p p 5 5 5 、 A S I A D i s p l a y ' 9 5 p p 3 3 5 : P h i l i p s) 。

10 以下、そのような薄膜トランジスタの構造を図 1 に示す。

本図において、1 は、その (図上) 上部に内部物質の拡散防止等のためのバッファ層を形成したガラス基板である。2 は、多結晶シリコン半導体層である。3 は、ゲート絶縁膜である。4 は、ゲート電極である。4 0 は、サブゲート電極であり、その図上左右の 4 5
15 と 4 6 の部分は、チャネル方向両側へはみ出したサブゲート電極である。2 4 5 と 2 4 6 は、多結晶シリコン半導体層の低濃度不純物領域 (以下、L D D 領域とも記す) である。2 5 は、同じくソース領域 (n + 層) である。2 6 は、同じくドレイン領域 (n + 層) である。2 4 は、同じくチャネル領域である。5 は、ソース電極である。
20 る。6 は、ドレイン電極である。7 は、層間絶縁膜である。

なお、実際には、例えば 3 0 c m × 4 0 c m 程度のガラス基板上に、画素部やその周辺の駆動回路部の配置に応じて、本図に示すような多数の薄膜トランジスタが縦、横方向幾列にも配列して形成され、また配線等がなされている。しかし、これらについては、自明
25 のことなのでわざわざの図示は省略する。

ところでこの T F T のゲート電極 4 上には、これを覆うようにサ

ブゲート電極 40 が設けられており、サブゲート電極の更にゲート電極からはみ出した部分 45、46 の直下には低濃度不純物領域(LDD 領域：n-層) 245、246 が形成されている。

さて、この低濃度不純物領域の一般的な形成方法としては、以下のようなものがある。先ず、ゲート電極 4 を形成した後、これをマスクとしてゲート絶縁膜を介してその下部の多結晶シリコン半導体層 2 に低濃度で不純物の注入を行う。これにより、ゲート電極 4 直下には不純物が注入されず、この部分の多結晶シリコン層がチャネル領域を形成することとなる。そして、ゲート電極 4 に覆われていない部分には、少量の不純物が注入された状態となる。

次に、ゲート電極上にサブゲート電極 40 となる金属膜を形成し、更にホトリソグラフィ、エッチングによって不必要な部分を除去し、残った金属膜がゲート電極上面、側面を覆い、このためチャネル方向(ソース電極とドレイン電極の方向)に所定量はみ出し部 45、46 があるサブゲート電極 40 を形成する。

最後に、先の注入よりもずっと高い濃度で不純物の注入を行う。

これにより、サブゲート電極で覆われていない部分には高濃度で不純物が注入されてソース領域 25 とドレイン領域 26 が形成され、サブゲート電極に覆われた部分は、不純物が注入されないため、サブゲート電極がゲート電極よりはみ出した部分の直下には低濃度不純物領域 245、246 が形成される。なお、この低濃度不純物領域の寸法は、TFET のチャネル幅に対して 100 ~ 10 % に設定される。

このように、ポリシリコン型 TFET では、OFF 電流が大きいという電気的特性の欠点を解決するため TFET のソース領域またはドレイン領域の少なくとも一方に隣接して、微小な低濃度不純物領域

(LDD: Lightly Doped Drain) を設けることが必要不可欠である。

(発明が解決しようとする課題の面から見た背景技術)

しかしながら、これら低濃度不純物領域を形成するため、以下の
5 とき問題が生じる。

1) 液晶表示装置の高精細化を実現するためには画素トランジスタを微細にして表示密度を高める必要がある。ところで、液晶表示装置の製造に通常用いられる露光機は等倍露光方式が主流である。このため、微細な画素トランジスタの製造に際しては、微細化
10 された画素トランジスタのチャネル幅に対して10～25%の極めて微小な領域での低濃度不純物領域を寸法ずれがなく再現性よく形成させる必要があるが、これは極めて困難である。

2) サブゲート電極と低濃度不純物領域との重ね合わせはマスク合わせにより行っているが、それらの重ね合わせを精度良く形成する
15 ことが困難である。このためマスク合わせ精度の微少なズレでその低濃度不純物領域寸法は実用上無視できない程に変動しかねない。そのため、製造工程管理上、マスク合わせマージンを確保する理由から画素TFTの微細化に限界が生じ、マージンを確保する分だけ画素TFTの占有面積が大きくなる。

20 3) 画素TFTの占有面積が大きくなり、それに伴いソース領域とドレイン領域間の寄生容量が増大し、このため動作波形の遅延が生じ、ひいては液晶表示装置の表示特性の低下につながる。

4) サブゲート電極の形成に際しては、ゲート電極の形成とは別にそのための金属膜の形成、フォトリソグラフィー、エッチング等
25 の工程が必要となり、更にはフォトリソグラフィーを行うためのフォトマスクが必要となる。従って、TFT製造プロセスが複雑とな

り、プロセスの長期化、製造コストの上昇、保留まりの低下が生じかねない。

また、必ずしもLDD構造の薄膜トランジスタに限らないが、不純物注入時には不純物に併せて稀釈用の水素が高エネルギーで打ち込まれ、これが半導体の結晶構造に悪影響を与えるため、可能な限りその防止を図りたいという要請もある。

また、同じく、広い表示面で均一な明るさを有する等高品質の表示特性を得るため各部の電気抵抗が小さいこと、この一方で製造が楽しかも低コストという要請もある。

また、例えば表示装置の画素部と周辺回路部とでは、トランジスタに要求される特性が相違し、更に機器によってはゲート電極の直下チャネル方向両側に不純物の注入域がないオフセット型のトランジスタ等が要求されることもある。

このため、ポリシリコン型薄膜トランジスタのOFF電流の低減とON電流の減少防止を図るため、TFETのソース領域及びドレイン領域に隣接した低濃度不純物領域(LDD: Lightly Doped Drain)を、ゲート電極に対して自己整合的に、あるいは特別なマスク合わせ作業等しなくても必然的に隣接して微細かつ高精度で形成し、その結果寄生容量も少ない薄膜トランジスタをきわめて簡便に製造する技術の開発が望まれていた。

更に、オフセットのトランジスタ等についても、同様の技術の開発が望まれていた。

更にまた、LDD型、オフセット型に限らず、様々の特性を有するトランジスタ等についても、同様の技術の開発が望まれていた。

本発明は、以上の課題を解決するためなされたものであり、薄膜トランジスタの製造時にゲート電極が不純物注入時のマスクの役を担うため、その形成に工夫を凝らしたものである。すなわち、第1の発明群においては、ゲート電極をフォトリソグラフィとエッチングにより形成するため、エッチングでゲート電極に整合して孤立化して形成したフォトレジストのチャンネル方向断面を少なくとも上部が底部より幅を狭くする。これにより、フォトレジストが均一な厚さである場合に比較して、フォトレジストのチャンネル方向両端部を除去してその下部の金属を僅かに露出させるのが容易になる。

この後、この形状のフォトレジストを少くもチャンネル方向両側へアッシング等してゲート電極のチャンネル方向両端部を露出させ、その露出した部分のゲート電極をエッチングにより除去し、このゲート電極をマスクとして低濃度の不純物注入を行うことにより低濃度不純物領域（LDD: Lightly Doped Drain）を自己整合的にきわめて高精度で形成する。

第2の発明群においては、ゲート電極をマスクとして不純物の注入を行なうのは、第1の発明群と同じであるが、LDD構造の形成のため、ゲート電極金属を酸化等させるのが相違する。更に、ゲート電極の金属を不純物注入後取り去ったり水素で還元して再度金属とすることもなす。具体的には、各発明群は以下のごとくしている。

第1の発明群の1の発明においては、レジスト（フォトレジスト）を使用してフォトリソグラフィとエッチングによりゲート電極形成用の金属膜を基板上のゲート電極の配置、形状に整合してエッチングしてゲート電極を一応形成し、該一応形成された仮のゲート電極そして副次的にその上表面のレジストをもマスクとして半導体層へ不純物イオンを高濃度で（高濃度になるように）注入する。次いで、

レジストの少くもチャネル方向両端（実際にはこれに併せて必然的に上面をも）をエッチング特にプラズマ反応を利用してのアッシングにより多少除去し、ゲート電極のチャネル方向両端を露出させる。

次いで、レジストをマスクとして上部から所定の反応物質に晒す等のドライエッチング等で露出した仮のゲート電極のチャネル方向両端部を除去する。更に、レジストの有無とは無関係に、ともかく、この下でゲート電極をマスクとして不純物を半導体層へ軽く（低濃度に）注入する。これにより、仮のゲート電極のチャネル方向両側のドライエッチング等により除去された（レジスト端面が中央方向へ後退した）部分直下の半導体層には軽く不純物が注入される。その結果、ゲート電極に自己整合的に（実際のゲート電極のチャネル方向両側に位置あわせ等の処理をなすことなく必然的に隣接して小さな）LDD領域が形成される。

なお、以上の他、これらの処理に先立っての基板上への半導体層の形成や形成された半導体層の孤立化（パターニング）やそのレーザーアニール等がなされるのは勿論である。また、第2回目の不純物の注入の前若しくは後のレジスト（マスクの効果は事実上ない）の除去、その他半導体層の熱処理や保護絶縁膜の形成やソース電極やドレイン電極の形成等がなされるのも勿論である。

また、1の発明においては、仮の（一応の）ゲート電極が形成された時点あるいは第1回目の高濃度での不純物注入がなされた時点、更にはケースによってはゲート電極形成用金属膜上に該金属膜をパターン化するためゲート電極の位置にあわせてレジストが孤立化された時点でレジストは少くも仮のゲート電極のチャネル方向両側にはテーパー（傾斜）した形状（ただし、傾斜面は必ずしも直線とは限らない）としている。そして、第1回目の高濃度の不純物の注入

後、ゲート電極上のレジストをアッシング等によりチャネル方向両側を後退させる（取り去る）。さてこの際、チャネル方向は下（基板や半導体層）側が広がっているため、無理なくゲート電極チャネル方向両側部上部のレジストが先に（しかも、傾斜している分チャネル方向に精度良く）除去される。そして、当該部のレジストはわずかに除去されたが、ゲート電極上方（中央部を含む）ほとんどの部分のレジストが除去されていない状態でアッシングを中止する。更に、この残ったレジストをマスクとして、仮のゲート電極を形成する金属のチャネル方向両側を除去してゲート電極を形成する。この下で、残ったゲート電極（あるいはこれに加えて残ったレジスト）をマスクとして不純物を薄く注入する。これにより、仮のゲート電極チャネル方向両側の金属が後退した部分直下の半導体層にLDD領域が形成される。

また他の発明においては、ゲート電極形成用金属層の上で孤立化したレジストや或いは孤立化されたゲート電極上で同じく孤立化したレジストをそのチャネル方向端面が傾斜を有するよう様々な工夫をこらしている。即ち、レジストが熱収縮したり、融点近傍の温度に晒されて流動かしたりして球形化すること等により、少くもチャネル方向の断面が半円状（含む、多少のいびつが在る場合や楕円状）等になる（従って、ゲート電極が正方形ならば立体的にみれば多くの場合大凡半球状）ようにする。

また、レジストの固化のためのポストバーク温度を、当該レジストの材料にとり変形等しないと言う面から最適の温度よりも高い温度で行なうようにしている。これにより、レジスト上部は収縮しつつ固化するため、そのチャネル方向両側部に傾斜が生じる。

また、同じく熱収縮を利用するが、レジストは上下2層とする。

さて、下層のレジスト材料はポストバーク温度が上層のレジスト材料よりも高い。この下で、下層のレジスト材料に適した温度で露光、現像後のポストバークを行なう。その結果、下層のレジストは最適な温度でポストバークされるため、その下層のゲート電極を形成するに際しての位置決めは精度良好になされる。ところで、上層のレジストはそのバッキング温度より高い温度であるため、熱収縮する。その結果、上下2層からなるレジスト層全体としては、上方が縮んだ形状、チャネル方向断面は大凡両側が下拡がりになった形状となる。このため、アッシングに際してはレジスト層厚さが薄い部分からレジストが完全に除去されるため、ゲート電極チャネル方向両側部が先に、しかも僅かに露出することを容易になしうる。

また、露光、現像に先立ってのレジストのプリバークを規定より低い温度で行なうようにしている。このため、露光後の現像に際して、レジストは現像液に全体的に浸蝕され易くなっている。ひいては、ゲート電極の配列、形状に対応して孤立化される際、下拡がりの形状となる。なお、この場合には、レジストがネガかポジか等に応じて、露光マスクを多少大きくしたり等していても良い。

また、レジストをゲート電極形成のためゲート電極の位置と形状に対応して露光する際、焦点を少しずらしている。このため、個々のフォトレジストは下拡がりに露光される。ひいては、下拡がりの形状になる。

また、ゲート電極を形成するため使用する（フォト）レジストを露光する際用いるフォトマスクはぬきパターンであり、これに整合して（フォト）レジストはネガ型である。このため、また微小な孔であるため回折の効果も加わって、下拡がりに露光され易くなる。その結果、先の幾つかの発明と同じく、下拡がりの形状になる。

また、一応形成された（仮の）ゲート電極上でゲート電極の配置形状に整合して孤立化して形成されたレジストレジストに熱を加えて溶融させ、表面張力で半球状とする。これにより、下拡がりの形状になる。

5 またこの際、レジストとして120℃～200℃程度の温度で溶融するメルトフロー型としている。このため、加熱による半球状化が容易となる。

10 また、仮のゲート電極形成ステップ後、孤立レジストエッチングステップに先立って、仮のゲート電極上に孤立された一層のレジストをポストベーク温度より高い温度に晒して熱収縮させる。これにより、レジスト上上面側は自由なため収縮するが、仮のゲート電極に接している部分は拘束されてそのままである。ひいては、チャンネル方向下方が広がった形状となる。

15 また、レジストと流体を化学反応させるが、この際、反応は上方から流体を打ち込むエッチング等と異なり、面積に比例する方式を採用した端面除去ステップとしている。これにより、レジスト量／反応面積の比の大きな端面から除去される。また必要に応じて反応性気体をチャンネル方向上部両側より吹き付ける。これにより、チャンネル方向両側の上部ほど気体に晒される。ひいては、レジストのチャンネル方向両端面に下拡がりの傾斜がつく。なお、この場合には、露光マスクを、そして言わば断面が長方形のパターンかされたレジストが多少大きくなることもなされうる。

25 また1の発明においては、孤立化され一応形成された仮のゲート電極をLDD領域への低濃度での不純物注入時のマスクとして使用するためには、仮のゲート電極のチャンネル方向両側を僅かに除去する必要がある。ところで、そのため仮のゲート電極をエッチング除

去する際のマスクとして使用する有機物のレジストのチャネル方向
両側を僅かに中心寄りに後退させるのに O_2 （酸素）若しくは O_3
（オゾン）あるいはその両方を含むガスを使用する。これにより、
酸素のプラズマ反応でレジストが酸化され、精度良好なアッシング
5 ができる。

また、1 のにおいては、ゲート電極下方のチャネル領域のチャネ
ル方向両側の僅かな領域の半導体層内に不純物がないオフセット型
の薄膜トランジスタの製造方法において、仮のゲート電極をマスク
として不純物を注入後、ゲート電極のチャネル方向両側を僅かに除
10 去する。ところでその手段として、仮のゲート電極の形成に使用し
かつ不純物注入後も仮のゲート電極上に在るレジストのチャネル方
向両側部を僅かに除去する必要があるが、この手段として今までの
LDD型構造のトランジスタの製造方法の発明と同じ技術内容のス
テップを採る。その後、残ったレジストをマスクとして仮のゲート
15 電極のチャネル方向両側を除去する。

また1の発明においては、ボトムゲート型のLDD構造の薄膜ト
ランジスタとしている。このため、紫外線そして将来は多分X線
をも使用していわゆる裏面露光を行ない、ゲート電極の直上部の半導
体層の直上にこれに自己整合的に不純物注入用金属性マスクを形成
20 する。ところで、この金属性マスクのチャネル方向両端の微小な部
分を除去するのは、記述のトップゲート型を対象とした各発明と同
様の手法、更にその上部のレジストのチャネル方向両端部を下拡が
りに傾斜させてのアッシングを行なう。

また、1の発明においては、先の発明が金属製マスクを半導体層
25 の直上に設けたのに対して、半導体層の上部に絶縁性保護膜を設け、
その直上に金属製マスクを形成する。このため、不純物注入時の加

速電圧の上昇等では不利であるが、半導体層の金属による汚染対策を施す必要がない。

また、1の発明においては、今までの発明の薄膜トランジスタを採用したエレクトルミネッセレス表示装置としている。

5 また1の発明においては、今までの発明の薄膜トランジスタを採用した液晶表示装置としている。

また1の発明においては、第1の発明群のLDD型トランジスタのLDD領域の抵抗値を製品の性能等から要求されるある範囲内としている。

10 また1の発明においては、第1の発明群のトランジスタの半導体として多結晶シリコンを採用している。

第2の発明群の1の発明においては、LDD構造の薄膜トランジスタは、そのゲート電極をマスクとして、半導体層へ不純物を注入するが、この際LDD構造とするため2回に分けて注入するだけでなく、LDD領域形成のため第1回目の低濃度での不純物の注入後、ゲート電極を酸化等させてそのチャネル方向両側へ伸長をさせて第2回目の高濃度の注入を行なっている。その結果、ゲート電極表面は当該材料の絶縁性反応膜で被覆されている。ところでこの際のゲート電極の厚さ、LDD領域の長さは単にトランジスタの純性能面のみからならず、不純物注入時のマスク能力、反応膜形成による仮のゲート電極の金属の反応量、反応膜厚さや進行方向をも考慮している。そして、進行方向により、オフセット量等をも調整している。

20 また、酸化膜は、基板の耐える上限たる600℃以下、好ましくは400℃～500℃で酸素や水蒸気と反応させて形成した熱酸化膜としている。これにより、膜厚さの制御が容易になる。

25 また、ゲート電極は、Mo（モリブデン）15～50原子%、好

ましくは 15 ~ 35 原子%、より好ましくは 33 ~ 37 原子%の W (タングステン) との合金 (金属間化合物、固溶体の他に、スパッタリング等により Mo と W の極く微小な粉末が混ざり合った状態をも含む) としている。これにより、W よりも電気抵抗が少なく、Mo よりも化学的に安定となっている。また、酸化したゲート電極側部は水素による還元が容易となり、しかも両金属は密度が高いため、単に不純物注入時のマスクとしての機能が強くこのため薄くしえるだけでなく、ゲート電極直下部の半導体層へ不純物の稀釈用の水素が打ち込まれることの阻止能力も優れる。

10 また、絶縁性反応膜は、ゲート電極側部を (そして事実上上面をも) 酸化等によりチャネル方向へ所定量伸長させている。ところで、ゲート電極材料の酸化等によるチャネル方向への伸長は、精密に制御可能である。このため、微小であるにもかかわらず精度よく LDD 領域を形成することが可能となる。

15 また 1 の発明においては、ゲート電極の酸化等によるチャネル方向への伸長を利用して LDD 構造のトランジスタとしているのは先の幾つかの方法の発明と共通する。しかしながら、ゲート電極のチャネル方向両サイド、そして現実にはその上面等の金属の酸化物を除去するステップを有しているのが異なる。このため、トランジスタの特性が多少異なり、製品の用途によってはより好ましいものとなる。

20 また 1 発明においては、LDD 構造の薄膜トランジスタの製造に際して、不純物注入時のマスクとして用いるゲート電極の酸化によるチャネル方向両側への伸長を利用するのは先の幾つかの方法の発明と共通する。しかし、不純物注入後に金属酸化膜を還元するステップを有しているのが相違する。このため、これまた特性の異なる

トランジスタを得られる。

また、1の発明においては、ゲート電極を形成する金属膜を酸化させた後、チャネル方向両側斜め上方向から高電圧で、例えば1.5～2.5倍程度のエネルギーで所定量の不純物を注入する。これにより、ボロン等の軽い不純物は特にそうであろうが、持っているエネルギーが高いため停止するまでに酸化されたゲート金属、ゲート絶縁層で何度も衝突を繰り返し、ゲート電極下部半導体内のチャネル方向中心寄りへも散乱により侵入する。そしてこれによりLDD領域が形成される。

10 しかる後、ゲート電極直上部からの高濃度での不純物の注入がなされる。

また1の発明においては、チャネル方向量端面に酸化膜の形成されたゲート電極をマスクとして高電圧で所定濃度の不純物が注入される。この場合も先の発明と同じくゲート絶縁膜内での散乱により、不純物は金属酸化膜直下部の半導体層へ侵入する。しかる後、通常の電圧で高濃度に不純物が注入され、更にこの後金属酸化膜は除去される。この基で、以下の水素の追い出しや半導体層の熱処理時等の加熱の際に、熱拡散で不純物が一層金属酸化膜が在った部分の直下の半導体層の中心方向へ侵入し、LDD領域が形成される。

20 また1の発明においては、オフセット型の薄膜トランジスタを製造するため、チャネル方向両側に金属酸化膜の形成された状態のゲート電極をマスクとして高濃度の不純物が上方より打ち込まれる。この後、金属酸化膜が除去される。

また、不純物の散乱や熱拡散をも考慮している。

25 また、いつ1の発明においては、第2の発明群の薄膜トランジスタの半導体は多結晶シリコンとしている。



図 面 の 簡 単 な 説 明

図 1 は、従来の薄膜トランジスタの断面構造を示した図である。

図 2 は、本発明の第 1 の実施の形態の薄膜トランジスタの製造方法を示す断面図の前半である。

5 図 3 は、本発明の第 1 の実施の形態の薄膜トランジスタの製造方法を示す断面図の後半である。

図 4 は、本発明の第 2 の実施の形態の薄膜トランジスタの製造方法を示す断面図の前半である。

10 図 5 は、本発明の第 2 の実施の形態の薄膜トランジスタの製造方法を示す断面図の後半である。

図 6 は、本発明の第 3 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 7 は、本発明の第 4 の実施の形態の薄膜トランジスタの製造方法を示す図である。

15 図 8 は、本発明の第 5 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 9 は、本発明の第 6 の実施の形態の薄膜トランジスタの製造方法を示す図である。

20 図 10 は、本発明の第 7 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 11 は、本発明の第 8 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 12 は、本発明の第 9 の実施の形態の薄膜トランジスタの製造方法を示す図である。

25 図 13 は、本発明の第 9 の実施の形態の変形例の薄膜トランジスタの製造方法を示す図である。

図 1 4 は、本発明の第 1 0 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 1 5 は、上記実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示した図である。

5 図 1 6 は、本発明の第 1 1 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 1 7 は、上記実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示した図である。

10 図 1 8 は、本発明の第 1 2 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 1 9 は、本発明の第 1 2 の実施の形態の薄膜トランジスタのドレイン電流のゲート電圧依存性を示した図である。

図 2 0 は、本発明の第 1 3 の実施の形態の薄膜トランジスタの製造方法を示す図である。

15 図 2 1 は、本発明の第 1 4 の実施の形態の薄膜トランジスタの製造方法を示す図である。

図 2 2 は、本発明の第 1 5 の実施の形態の薄膜トランジスタの製造方法を示す図である。

20 図 2 3 は、本発明の様々な実施の形態の薄膜トランジスタの要部を示す図である。

図 2 4 は、本発明の実施の形態の薄膜トランジスタを使用した E L ディスプレイの構成図である。

図 2 5 は、本発明の実施の形態の薄膜トランジスタを使用した液晶ディスプレイの構成図である。

25 (符号の説明)

1 ガラス基板

	1 1	パリアファーマ層 (S i O 2)
	2	(アモルファス) シリコン層
	2 0	ポリシリコン層
	2 1	島化したポリシリコン層
5	2 4 5 、 2 4 6	低濃度不純物領域 (L D D)
	2 4	チャネル領域
	2 4 0	オフセット領域
	2 5	ソース領域
	2 6	ドレイン領域
10	3	ゲート絶縁膜
	4	ゲート電極、仮のゲート電極
	4 0	サブゲート電極
	4 1	仮のゲート電極をエッチングしたゲート電極
	4 1 1	酸化膜
15	4 5	サブゲート電極のソース電極側食み出し部
	4 6	サブゲート電極のドレイン電極側食み出し部
	4 8	ゲート電極用金属層
	5	ソース電極
	6	ドレイン電極
20	7	層間絶縁膜
	8	フォトレジスト
	8 0	フォトレジスト (ネガ型)
	8 1	フォトレジスト (パターン化後)
	8 1 0	台形のフォトレジスト
25	8 2	フォトレジスト (アッシング後)
	8 2 0	台形のフォトレジスト (アッシング後)

	8 3	フォトレジスト（下層）
	8 4	フォトレジスト（上層）
	8 4 4	台形のフォトレジスト（上層）
	8 5	熔融型フォトレジスト
5	8 8	保護膜
	9	フォトマスク
	9 0	ぬき型フォトマスク
	9 5	不純物注入時のマスク形成用金属膜
	9 6	不純物注入時の金属マスク
10	9 6 1	不純物注入時の金属マスクの酸化部
	9 7	L D D 領域形成用金属マスク

発 明 の 実 施 の 形 態

以下、本発明をその実施の形態に基づいて説明する。

15 （第 1 の実施の形態）

本実施の形態は、不純物注入時にマスクとしての役を担うゲート電極の形成を 2 段に分け、不純物注入も 2 度行なうものである。更にこのため、ゲート電極のチャネル方向両端の微少なエッチングに使用するフォトレジストのアッシングに工夫を凝らしたものである。

20 図 2 と図 3 は、本実施の形態の薄膜トランジスタが製造されていく様子、あるいは製造方法を順に示したものである。なお、両図は、本来 1 つの図であるべきだが、スペースの都合で 2 つの図としたものである。

先ず、図 2 に基づいて説明する。

25 （ 1 ） 上面にバッファ層として SiO_2 膜が形成されたガラス基板 1 上面にプラズマ C V D 法あるいは減圧 C V D 法により 5 0

0 ~ 1 0 0 0 Å の厚さにアモルファスシリコン層 2 を堆積させる。
次に、後のレーザーアニールによるアモルファスシリコン層の結晶
化の際、アモルファスシリコン層中の水素の離脱によってアモルフ
ァスシリコン層のアブレーションを防止するため 4 0 0 °C で脱水素
5 を行う。

(2) 波長 3 0 8 n m のエキシマレーザーを使用しての所定の
照射によりアモルファスシリコン層を一旦熔融させ、その後の再結
晶化 (多結晶化) にて、ポリ (多結晶) シリコン層 2 0 を形成する。

(3) ホトリソグラフィーによりポリシリコン層を個々の半導
10 体素子に対応した所定の形状に島 (孤立) 化したポリシリコン層 2
1 を形成する。

(4) ガラス基板 1 上に、ポリシリコン層 2 1 を覆うようにし
て、ゲート絶縁膜となる厚さが 1 0 0 0 Å の S i O₂ (二酸化シリ
コン) 層 3 を形成し、更にその上に A l 、 M o 、 T a 等の金属から
15 なるゲート電極形成用の金属層 4 8 を形成する。

(5) ゲート電極形成用金属層 4 8 上にフォトレジスト 8 を塗
布し、所定条件でのプリベーク (排気しつつの加熱) を行う。

(6) ゲート電極を形成するため、フォトマスク 9 を用いて露
光する。

20 次に、図 3 に移る。

(7) フォトレジストの現像後、露光した部分のフォトレジス
トの除去 (フォトリソグラフィー) を行う。更に、残ったフォトレ
ジストの所定条件でのポストベークによる完全な硬化を行う。次い
で、フォトマスク状に残ったフォトレジスト 8 1 をマスクとしてゲ
25 ート電極形成用金属層 4 8 のエッチングを行い、仮のゲート電極 4
を形成する。

(8) 形成された仮のゲート電極 4 そして副次的にその直上のフォトレジストをマスクとして、リンイオンを用いたイオンドーピング法にて第 1 回目の不純物注入を行う。この際、リンイオンは高濃度で注入する。これにより仮のゲート電極の直下のポリシリコン層は不純物が注入されない。このため、この部分の中央部がチャネル領域となり、そのチャネル方向両側は（図上左右は）後で説明する L D D 領域となる。また、仮のゲート電極の直下部の図上左右に位置するポリシリコン層は、高濃度に不純物が注入された領域（n + 層）となり、ソース領域とドレイン領域を形成することとなる。

(9) エッチング、例えば O_2 とオゾンによるアッシングによりフォトレジストを左右そして下方向に等長的にアッシングしてチャネル方向両側（そして厳密には上面も）を中央部寄りに後退させ、その結果仮のゲート電極のチャネル方向両端部を少し露出させる。なおこの際の仮のゲート電極の端部における露出量は、ゲート電極幅が $2 \mu m$ の場合、大凡、 $0.2 \sim 0.5 \mu m$ となるようアッシング条件を最適化している。

(1 0) 上方からの流体を作用させてのエッチングによりフォトレジストよりチャネル方向両側に僅かに露出したゲート電極の両端部を除去する。これによりゲート電極が形成されるが、更にこのゲート電極 4 1 をマスクとしてリンイオンを用いたイオンドーピング法にて第 2 回目の不純物注入を行う。

そして、この際、注入濃度は先の注入より低濃度とする。その結果、ゲート電極両側のエッチングによって除去された部分の直下の領域のポリシリコン層には、低濃度で不純物が注入されることとなる。その結果、微少な幅で低濃度の不純物領域（n - 層）2 4 5、2 4 6、すなわち L D D 領域が形成される。

(1 1) フォトレジストを除去したのち、ゲート電極を覆うように SiO_x 等からなる層間絶縁膜 7 を製膜する。次に、層間絶縁膜及びゲート絶縁膜にソース電極とドレイン電極形成用のコンタクトホールを開口し、Al、Mo、Ta等の金属層をスパッタ法で蒸着形成して両コンタクトホール内に金属を充填し、更に金属層を所定形状にパターニングしてソース電極 5 とドレイン電極 6 を形成する。次いで、SiN等の保護膜 8 を形成して薄膜トランジスタが製作される。

(第 2 の実施の形態)

本実施の形態は、仮のゲート電極上のレジストを加熱収縮によりその断面が大凡台形となるように変形させ、これを利用して仮のゲート電極をLDD形成のためのマスクに加工するものである。

図 4 と図 5 に、本実施の形態の薄膜トランジスタの製造方法を順に示す。以下、両図を参照しつつ、その手順の内容について説明する。先ず、図 4 に基づいて説明する。

(1) 先の実施の形態と同様に、ガラス基板 1 上に、多結晶化され、そして所定形状に島化されたポリシリコン層 2 を形成し、更にこの形成されたポリシリコン層を覆うように、ゲート絶縁膜 3、次いでゲート電極となるAl、Mo、Ta等の金属膜 4 を形成する。

(2) 例えば、下層は 150℃と高いポストバーク温度で固化するフォトレジスト 8 を、上層は 120℃と低いポストバーク温度で固化するフォトレジスト 9 をと、ポストバークによる固化温度が上部が低く、下部が高い 2 種類のポジ型フォトレジストを塗布する。

(3) ゲート電極を形成するためのフォトマスク 10 を用いて露

光し、上下 2 層のフォトレジスト層 8 3、8 4 のフォトリソグラフィを同時に行う。

(4) 上下 2 層のフォトレジストの現像を行った後、下層のフォトレジスト 8 3 が固化する 1 5 0 °C でポストベークを行う。これにより、下層のフォトレジストはその形状を保持した状態で固化するが、上層のフォトレジスト 8 4 は 1 2 0 °C の低い温度で固化する特性のものであるため、それより高い 1 5 0 °C では加熱収縮によってその側面に下拡がりの傾斜を持つテーパー角が生じる。このため、この上層のフォトレジスト 8 4 の断面は、大凡上辺の短い台形となる。

(5) 上下のフォトレジスト層をマスクとして金属膜 4 8 のエッチングを行って、仮のゲート電極 4 を形成し、このゲート電極をマスクとしてリンイオンを用いて第 1 回目の不純物注入をイオンドーピング法によって行う。なお、注入濃度は高くする。これにより、仮のゲート電極 4 の直下のポリシリコン層には、不純物が全く注入されない。この一方、その領域 4 を除く部分には高濃度に不純物が注入され、この領域がソース領域 2 5 とドレイン領域 2 6 になる。

次に、図 5 に移る。

(6) 例えば O_2 やオゾンによるアッシング 1 3 等のエッチングにより、ゲート電極 4 の上下のフォトレジスト層を等方的にアッシングしてレジストを中心方向寄りに後退させ、仮のゲート電極 4 のチャネル方向両側の端部表面を露出させる。なお、この際の仮のゲート電極端部の露出量は、ゲート電極幅が 2 μm の場合 0. 2 ~ 0. 5 μm となるようにする。

(7) エッチングにより上下 2 層のフォトレジストより露出した仮のゲート電極の端部を除去する。従って、仮のゲート電極はこ

の段階で本来のゲート電極 4 1 となる。

(8) このゲート電極 4 1 をマスクにリンイオンを用いて第 1 回目と同様にイオンドーピング法により第 2 回目の不純物の注入を行う。

5 なお、この際、注入する量は第 1 回目より低濃度とする。これにより、エッチングによって除去されたゲート電極チャネル方向両側の直下の領域のポリシリコン層 2 4 5、2 4 6 には低濃度で不純物が打ち込まれる。このため、ポリシリコン層 4 におけるゲート電極直下のチャネル領域の両側に、仮のゲート電極がエッチング除去された微少な幅で低濃度の不純物領域 (n - 層) が形成される。従って、ゲート電極 4 の直下の不純物が全く注入されないチャネル領域 2 4 と、その 2 9 の低濃度不純物領域 (n - 層) 2 4 5、2 4 6 と更にその両側のソース領域 2 5 とドレイン領域 2 6 が形成された L D D 構造となる。

10 (9) フォトレジストを除去した後、ゲート電極を覆うように層間絶縁膜 (S i O _x 等) 7 を形成する。

 次いで、層間絶縁膜とゲート絶縁膜 3 にソース電極とドレイン電極形成用にコンタクトホールを開口し、基板上表面に A l 等の金属層をスパッタ法で蒸着形成する。これにより、A l 等がソース電極とドレイン電極用のコンタクトホール内充填される。この後、金属層の上部を所定形状にパターニングしてソース電極 5 及びドレイン電極 6 を形成する。しかる後、S i N 等の保護膜 8 8 を形成して薄膜トランジスタを完成する。

(第 3 の実施の形態)

25 本実施の形態は、L D D 構造形成時ドーピングのマスクに使用するゲート電極のエッチングのためのフォトレジストは 1 層であり、

プリベークに工夫を凝らしたものである。

図 6 に、本実施の形態の薄膜トランジスタの製造方法を示す。以下本図を参照しつつ、その製造の手順を説明する。

(1) 先の実施の形態と同様にガラス基板 1 上にレーザーアニールによって多結晶化したポリシリコン層を所定の形状に形成し、更にこのポリシリコン層を覆うようにゲート絶縁膜 3 と Al、Mo、Ta 等からなる金属層 4 8 を形成する。更にその上に、ポジ型のフォトレジスト 8 を一層塗布する。次いでこのフォトレジストのプリベーク温度より低い温度でプリベークを行う。すなわち、このフォトレジストのプリベーク温度は 70 ~ 80℃ であるが、それより 10 ~ 25℃ 程度低い温度でプリベークする。これにより、このフォトレジストは、後の現像での現像液に対する耐性がやや低下した状態となる。

(2) ゲート電極を形成するためのフォトマスク 9 を用いて露光し、更に露光部のフォトレジスト 2 2 のフォトリソグラフィーによる除去を行う。ところで、露光後所定の現像液（図示せず）を用いて現像を行う。

(3) この際上述の理由により、フォトレジストの現像液に対する耐性が低下している。このため、フォトレジストの非露光部の側面にも顕著な浸食が生じ、その結果残ったフォトレジスト 8 1 0 の側面にはテーパ角が生じ、残ったフォトレジストの断面形状は大凡あるいは順テーパ状の下拡がりの台形となる。

(4) フォトレジストをマスクとして、金属層 4 8 のエッチングを行い、仮のゲート電極 4 を形成する。次いで、この仮のゲート電極をマスクとして、リンイオンを用いて第 1 回目の不純物の注入をイオンドーピング法によって行う。なお、注入は高濃度で行う。

これにより、仮のゲート電極の直下のポリシリコン層のチャネル領域部には不純物が全く注入されない反面、そのチャネル方向の両側のソース領域部とドレイン領域部には高濃度に不純物が注入される。

(5) O_2 、 O_3 によるアッシング等のエッチングにより、フォトレジスト 820 を等方的に中央寄りに後退させ、仮のゲート電極 4 のチャネル方向両端部の上表面を露出させる。なおこの際のゲート電極の両端部の露出量は、先の実施の形態と同じである。

(6) フォトレジスト 820 より露出した部分のゲート電極の両端部をエッチングにより除去する。更に、このゲート電極 41 を、そして厳密には更にその上部のレジストをも加えて、マスクに第 2 回目の不純物の注入を行う。

この際、不純物は第 1 回目と同様にイオンドーピング法によって行い、更に注入する不純物は前記第 1 回目より低濃度で行う。

これにより、先の実施の形態と同じく LDD 構造のポリシリコンが形成されることとなる。

しかる後、先の実施の形態と同様の手順で薄膜トランジスタが完成される。

(第 4 の実施の形態)

本実施の形態は、唯一層のフォトレジストであるのは先の第 3 の実施に形態に似るも、露光の内容とネガ型のフォトレジストを使用する点が大きく異なる。

図 7 に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容について説明する。

(1) 第 1、第 2 及び第 3 の実施の形態と同様に、ガラス基板 1 上にレーザーアニールによって多結晶化され、そして所定の形状に島化されたポリシリコン層 21 を形成し、更にこのポリシリコン

層を覆うようにして、ゲート絶縁膜 3 と Al、Mo、Ta 等の金属層 48 を形成する。しかる後、先の第 3 の実施の形態と異なり、ネガ型のフォトレジスト 80 を通常の膜厚 (1 ~ 2 μ m) より厚め (例えば 3 ~ 6 μ m) に塗布し、更にこの塗布したフォトレジストの規定のプリベークを行う。

(2) ゲート電極を形成するため、ぬきパターンのフォトマスク 90 を用いて露光し、ネガ型フォトレジストのフォトリソグラフィを行う。この際、ガラス基板上のネガ型のフォトレジストの表面とフォトマスクの間隔 HL を広くしてフォトレジスト上の焦点をずらし、露光照射光が広がるようにする。この結果、このフォトレジストは平行光ではなくフォトマスク開口パターンより広がった状態で露光される。なおこの場合、孔の寸法が小さいだけに光の回折作用による拡がりも生じる。

(3) フォトレジストを現像し、ゲート電極に対応してパターン化する。ところで、フォトマスク開口パターンより広がった状態で露光されたため、残ったフォトレジスト 810 の側面には下拡がりとなるテーパ角が生じ、その断面形状はほぼテーパ状となる。

(4) フォトレジスト 810 をマスクとして金属層 48 のエッチングを行い、仮のゲート電極 4 を形成する。

(5) この仮のゲート電極 4 をマスクとして、リンを用いてイオンドーピング法により第 1 回目の不純物の注入を行う。この際、高濃度で注入する。これにより、仮のゲート電極 4 の直下のポリシリコン層には、不純物が全く注入されず、この一方、そのチャネル方向両側には高濃度に不純物が注入される。

(6) 例えば O₂ やオゾンによるアッシング等のエッチング法によりフォトレジスト 820 を等方的にアッシングして後退させ、

仮のゲート電極 4 両端部の表面を露出させる。

以下、先の実施の形態と同様にして薄膜トランジスタが完成される。

(第 5 の実施の形態)

- 5 本実施の形態も、先の 2 つの実施に形態と同じく、1 層のレジストを塗布するが、いわゆる熔融型である点に特徴がある。

図 8 に、本実施の形態の薄膜トランジスタの製造方法を示す。以下本図を参照しつつその内容について説明する。

- (1) 先の各実施の形態と同様に、ガラス基板 1 上に多結晶か
10 つ島化したポリシリコン層 2 これを覆うゲート絶縁膜 3、Al、Mo、Ta 等の金属層 4 8 を形成する。更に、その上面に、感光特性を有し、しかも 120 ~ 200 °C の加熱によって熔融（高分子であるため、より厳密には軟化との中間の熔融）し、このためパターン形状が表面張力の作用の基で顕著に変形する熔融型レジスト 8 5 を
15 塗布する。なお、この際熔融型レジストとしては、本実施の形態では主に CCD デバイス素子のマイクロレンズ形成で使用されるメルトフロー型レジストを使用している。このレジストは、所定温度の加熱で材料自体が容易に熔融し、熔融後の断面は、後に図示するように角が丸みを持ち、ゲート電極に接していない自由表面が半球状
20 となる。

この下で、ゲート電極を形成するためのフォトマスク 9 を用いて露光する。

- (2) 熔融型レジストのフォトリソグラフィーを行う。

- (3) 120 ~ 200 °C で熔融型レジストの熱処理を行なう。
25 さて、この熔融型レジストは上述の理由によりこの熱処理時の温度で金属層 4 8 上で半球上に変形する。次に、この熔融で変形した形

状を保持するためポストバークを200～250℃の温度で行う。

(4) 熔融型レジストをマスクとして金属層48のエッチングを行い、仮のゲート電極4を形成する。

(5) この仮のゲート電極4をマスクとして先の各実施の形態
5と同様に第1回目の不純物の注入を行う。

(6) 先の各実施の形態と同じく、例えばO₂、オゾンによるアッシング等のエッチングにより、熔融型レジストを半球形の中心方向に等方にアッシングして後退させ、ゲート電極4のチャンネル方向両端部の表面を露出させる。

10 以下、先の各実施の懈怠と同様、薄膜トランジスタが完成する。

なお本実施の形態の変形例として、仮のゲート電極形成前、レジストのみが孤立化された段階で加熱熔融により、半球状化させても良い。

(第6の実施の形態)

15 本実施の形態は、単一のレジスト層の熱収縮を利用するものである。

図9に、本実施の形態の薄膜トランジスタの製造方法の要部を示す。以下本図を参照しつつ、本実施の形態の製造方法を説明する。

(1) 仮のゲート電極4上に孤立化したレジスト81の在る状
20態で、基板全体をレジストから定まる所定の高温に晒す。

(2) レジストの上部840は熱で収縮するが、下部830は仮のゲート電極に拘束され収縮しないためレジストのチャンネル方向断面は下拡がりの台形となる。

(3) レジストのチャンネル方向両端をアッシングにより除去す
25る。なおこの際、上部は密度が高いためアッシングにより除去される長さ(或いは厚さ)は小さいが、下部は密度が低く引張力も存在

するため比較的速く除去される。このため、ゲート電極両端のエッチング除去の際も好都合となる。

なお、本実施の形態の変形として、ゲート電極形成用金属膜のパターン化前、すなわちレジストが形成すべき仮のゲート電極に対応してパターン化、あるいは孤立化された段階で熱収縮させることにより、チャンネル方向断面を台形としても良い。

(第7の実施の形態)

本実施の形態は、仮のゲート電極形成のためパターン化されたレジストのチャンネル方向両側に傾斜を形成することに関する。

10 図10に、本実施の形態の薄膜トランジスタの製造方法の要部を示す。以下、本図を参照しつつ本実施の形態の製造方法を説明する。

(1) レジスト81のドレイン側上部を O_2 若しくは O_3 に晒し、そのドレイン側上部端面を丸める。なお、下部はガスが滞留し、またとなりのレジストの影となるため、そう除去されない。

15 (2) 次に、ソース側上部を O_2 若しくは O_3 に晒し、そのソース側上部端面を丸める。

(3) これにより、レジストはチャンネル方向両端の頂部が削られ、ほぼ下拡がりの台形となる。

20 なお、本実施の形態では、パターン化されたレジストは仮のゲート電極より少し大きめとしていても良い。

(第8の実施の形態)

本実施の形態は、低濃度不純物領域を有さないオフセット型薄膜トランジスタに関する。

25 図11に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容について説明する。

(1) ~ (3) 先の第2の実施の形態と同様であり、このため

図示は省略する。ガラス基板上に多結晶化した所定形状のポリシリコン層を形成し、更にこの、ポリシリコン層を覆うようゲート絶縁膜次いでAl、Mo、Ta等の金属層を形成する。

その後、ポストバークによる固化温度が異なる2種類のポジ型フォトレジストを塗布する。この際、高い温度で固化するフォトレジストを下層に、一方、低い温度で固化するフォトレジストを上層とする。更に、ゲート電極を形成するためのフォトマスクを用いて露光し、フォトレジストのフォトリソグラフィを行う。

(4) 上下2層のフォトレジストの現像を行った後、下層のフォトレジストが固化する150℃でポストバークを行う。このため、図4の(4)と同じくこのフォトレジスト834はその形状を保持した状態で固化するが、上層のフォトレジスト844は加熱収縮して側面にテーパーが生じ、断面形状がほぼ台形とする。

(5) 上下2層のフォトレジストをマスクとして金属層48のエッチングを行い、仮のゲート電極4を形成後、この形成された仮のゲート電極4をマスクとして不純物を高濃度で注入する。

(6) 例えばO₂とオゾンによるアッシング等のエッチングにより上下のフォトレジストを等方的にアッシングして後退させ仮のゲート電極4のチャネル方向両端部の表面を露出させる。

(7) 上下のフォトレジストより露出した仮のゲート電極4のチャネル方向両端部をエッチングにて除去する。これによって除去されたゲート電極4の両側のポリシリコン層240はチャネル領域が多少露出した構成となり、ゲート電極に対してチャネル領域がオフセットした構成となる。

なお、オフセット型であるため、図5の(8)に示すような第2回目の不純物注入プロセスはない。

(9) 上下のフォトリジストを除去した後、ゲート電極 4 を覆うように層間絶縁膜 (SiO_x 等) 7 を製膜する。以下、先の実施の形態と同様の手順でオフセット型の TFT が完成される。

5 なお、本実施の形態は、先の第 2 の実施の形態をもとにしたオフセット構造の薄膜トランジスタの製造方法を示したものであるが、他の第 1、第 3、第 4 及び第 5 の実施の形態においても、第 2 回目の不純物の注入をせぬことにより、同様に適用できるのは勿論である。

(第 9 の実施の形態)

10 本実施の形態は、ボトムゲート型トランジスタに関する。

図 1 2 に本実施の形態のボトムゲート型トランジスタの製造方法を示す。以下、本図に沿ってこの製造方法を説明する。

(1) 基板上に Ta、Mo、W あるいはそれらの合金からなるゲート電極 4、ゲート絶縁膜 3、パターン化したポリシリコン層を
15 順に形成し、更にその上部に Ti や Al からなる不純物注入時のマスク形成用金属層 9 5、フォトリジスト層 8 を形成する。この基で、基板裏側より紫外線を照射し、ゲート電極をマスクとしてフォトリジスト層を露光する。

(2) ゲート電極に対応してパターン化されたレジスト 8 1 を
20 形成する。

(3) このレジストをマスクとして金属層をドライエッチング等して、不純物注入時用の金属マスク 9 6 を形成する。

(4) 基板の表 (上) 側より不純物を高濃度で注入する。

(5) レジスト上部を熱収縮させ、チャネル方向側面に傾斜を
25 つける。

(6) アッシングで、レジストのチャネル方向側面を少し後退

させる。

(7) LDD領域形成用金属マスク97を形成する。

(8) 不純物を低濃度で注入する。

以下、保護絶縁膜、ソース電極、ドレイン電極、その他保護絶縁
5 膜の形成等がなされる。

次に、図13に本実施の形態の変形例を示す。

図12では、図13の(a)に示す如くゲート電極チャネル方向
両端直上部にLDD領域245、246が形成される。

本図の(b)では、ゲート電極4の周囲に熱酸化により絶縁性酸
10 化膜411を予め形成していた場合であり、ゲート電極4のチャ
ネル方向両端外側直上部にLDD領域245、246が形成される。

また、図12の(1)で焦点ずらし露光を行ない、パターン化さ
れたレジストをゲート電極のチャネル方向両側に少し張り出して形
成すれば、図13の(c)の如きLDD領域245、246が形成
15 される。

同じく、図12の(3)で、マスク用金属を酸化させ、図13の
(3-1)に示す様に酸化部961をゲート電極のチャネル方向両
側に少し張り出させれば、図13の(c)の如きLDD領域245、
246が形成される。

20 なお、パターン化されたポリシリコン上の保護絶縁膜7を形成し
てから、マスク用金属層、レジスト層を形成しても良い。図13の
(1-1)や(3-1)は、この場合である。

(第10の実施の形態)

本実施の形態は第2の発明群に属し、LDD型の薄膜トランジス
25 タを製造するに際してゲート電極を不純物注入時のマスクに使用す
るのは先の第1の発明群の各実施の形態と共通するが、ゲート電極

の加工に酸化を利用する点に特徴がある。

図 1 4 に、本実施の形態の薄膜トランジスタの製造方法、そして工程の進捗に伴う L D D 型の薄膜トランジスタの断面構造の変化を示す。以下本図を参照しつつこの手順を説明する。

5 (1) ガラス板に、その内部から半導体シリコン中に汚染物室が拡散するのを防止するために、バッファー層 1 1 として SiO_2 膜を被着する。このようにして形成した基板 1 (コーニング社製 # 1 7 3 7 ガラス) 上表面に、例えばシラン (SiH_4) を原料ガスとして用いた減圧 C V D 法により膜厚 3 0 ~ 1 5 0 n m で、アモルファス (非結晶) シリコンを形成する。更に、フォトリソグラフィーとエッチングにより素子としてのトランジスタが形成される領域にのみアモルファスシリコンを残す。そして、 XeCl エキシマレーザアニールにより結晶化してポリシリコン層とする。次いで、そして、T E O S [T e t r a e t h y l o r t h o s i l i c a t e : ($\text{C}_2\text{H}_5\text{O}$) $_4\text{Si}$] を原料ガスとして用いたプラズマ C V D 15 法でゲート絶縁膜 3 となる SiO_2 を 1 0 0 n m の厚みで全面に堆積する。その後、例えば M o W 合金 (W 濃度 : 1 5 a t %) を用いて仮のゲート電極 4 を 4 0 0 n m の厚みで形成する。なおここでは、W 濃度を 1 5 % としたが、これはプロセスや抵抗値等の設計要素に 20 応じて適宜他の % としても良い。(従って、ここまでは上下 2 層や熔融型等のフォトレジストへの各種処理等を除いて基本的には先の各実施の形態と同様である。)

 (2) この仮のゲート電極 4 をマスクとして水素希釈ホスフィン (PH_3) のプラズマを生成し、質量分離を行わず、加速電圧は 25 7 0 k V 、総ドーズ量は $2 \times 10^{13} \text{ cm}^2$ と低濃度で、イオンドーピングする。これにより、ゲートマスク 4 直下部を除き低濃度で不

純物が注入され、ひいてはそのチャネル方向両側に低濃度不純物領域 (L i g h t l y D o p e d D r a i n) となる部分の下地が形成される。

(3) 例えば、450℃の酸素中でM o W合金の表面に酸化膜を成長させる。この際、時間、温度又は雰囲気(酸素濃度)あるいはそれらの組み合わせによってこの酸化層の厚みは微小であっても自由正確に制御が可能である。そして、本実施の形態では0.4 μmの酸化層411を成長させた。また、残膜として残ったM o W合金4は約200 nmであった。

(4) 金属酸化層411と残ったM o W合金4をマスクとしてポリシリコンに質量分離を行わず、加速電圧70 kV、総ドーズ量は $1 \times 10^{15} \text{ cm}^2$ 、の高濃度で水素希釈ホスフィン(PH₃)のプラズマを生成してドーピングする。これにより、マスクのチャネル方向両側のポリシリコン層にソース領域25及びドレイン領域26が形成される。なお、注入したイオンの活性化であるが、同時に注入された水素による自己活性化のみによっても良いが、400℃以上でのアニールやエキシマレーザー照射やRTA(Rapid Thermal Anneal)による局所的な加熱を行うのがより確実である。

なお、酸化膜はチャネル方向内側にも形成されていくため、仮のゲート電極両端部とゲート電極両端部との中間部より内側はオフセット領域となる。

(5) 先の各実施の形態と同じく、TEOS(Tetraethyl orthosilicate: (C₂H₅O)₄Si)を原料ガスとして用いたプラズマCVD法でSiO₂を層間絶縁膜7として全面に堆積し、次にコンタクト・ホールを形成し、ソース電極及

びドレイン電極として例えばアルミニウム（Al）をスパッタ法で堆積し、その後フォトリソグラフィ・エッチングでパターン化する。また、必要に応じて保護絶縁膜70を形成する。これにより、poly-SiTFTが完成する。

- 5 なお、本実施の形態では、実際には熱酸化膜が内側にも成長するため、LDD領域以外にも（の内側にも）不純物の注入されていないいわゆるオフセット領域が存在することとなるが、このオフセット領域は不純物が注入されていないので、広い意味では不純物量が少ないとみなせる。このため、本実施の形態では、このオフセット
- 10 領域もLDD領域の一部として扱う。

図15に、完成したTFTのドレイン電流のゲート電圧依存性の関係を各LDD長さ毎に示す。本図において、LDD長さが0.1 μm （実線）、0.2 μm （点入り実線）、0.3 μm （長点線）及び0.4 μm （点線）のいずれにおいても、酸化膜の厚みによってOFF電流が下がり、良好なTFT特性を示していることがわかる。

15

（第11の実施の形態）

本実施の形態は、先の実施の形態に似るも、一旦形成された金属酸化膜を除去するものである。

- 20 図16に、本実施の形態の薄膜トランジスタの製造方法の要部を示す。以下、本図を参照しつつこの手順を追って説明する。

（1）から（4）までの処理の内容は図14に示す先の第10の実施の形態と同じである。このため、後の処理の参考となる（4）を除き、わざわざは図示していない。

- 25 （4-2） 先の（4）の後、フッ酸を用いて、ゲート電極4周囲部のMoWの酸化物を除去する。

(5) その後の処理も先の第7の実施の形態と同じである。

図17に、先の実施の形態と同じく完成したTFTのドレイン電流のゲート電圧依存性の関係を $0.1\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.3\mu\text{m}$ 及び $0.4\mu\text{m}$ とLDD長さ毎に示す。酸化膜の厚みによってOFF電流が下がり、良好なTFT特性を示していることがわかる。

なお、本実施の形態の変形例として、先ずゲート電極を酸化させ、高濃度で不純物を注入し、次に酸化物を除去し、その後低濃度で不純物を注入しても良い。

(第12の実施の形態)

10 本実施の形態は、酸化したゲート金属を還元するのが先の2つの実施の形態と相違する。

図18に、本実施の形態の薄膜トランジスタの製造方法を示す。以下、本図を参照しつつこの内容を説明する。

(1)から(4) 先の2つの実施の形態と同じ処理がなされる。
15 このため、図14の(4)の状態をのみ示す。

(4-3) 先の(4)の処理の後、 H_2 雰囲気により、酸化金属の還元がなされる。この結果、先の2つの実施の形態ではいわゆるオフセット領域が形成されたが、本実施の形態ではMOW酸化物を還元することによって、オフセットがなくなり、狭い意味でのLDD領域が形成される。
20

(5) 先の2つの実施の形態と同じ処理がなされ、TFTが形成される。

図19に、完成した本実施の形態のTFTのドレイン電流のゲート電圧依存性の関係を $0.1\mu\text{m}$ 、 $0.2\mu\text{m}$ 、 $0.3\mu\text{m}$ 及び $0.4\mu\text{m}$ 毎に示す。酸化膜の厚みによってOFF電流が下がり、良好なTFT特性を示していることがわかる。また、先の2つの実施の

形態ではいわゆるオフセット領域が形成されたが、本実施の形態ではM o W 酸化物を還元することによって、オフセットがなくなるため、先の2つの実施の形態のものよりもO N 電流の低下が少ない。

(第13の実施の形態)

5 本実施の形態は、オフセット型の薄膜トランジスタに関する。

図20に、本実施の形態の薄膜トランジスタの製造方法を示す。
以下、本図を参照しつつこの内容を説明する。

(1) 仮のゲート電極4を形成する。

(2) 仮のゲート電極の外周部に酸化膜411を形成する。

10 (4) ゲート電極に酸化膜が所定量形成された状態で高濃度で不純物を注入する。

(4-2) 次に、酸化膜を除去する。

以下、他の実施の形態と同様である。

(第14の実施の形態)

15 本実施の形態は、斜め上方からの不純物の注入に関する。

図21に、本実施の形態の薄膜トランジスタの製造方法を示す。
以下、本図を参照しつつこの内容を説明する。

(1) 仮のゲート電極4を形成する。

(2) 仮のゲート電極の外周部に酸化膜411を形成する。

20 (4-3) ゲート電極に酸化膜が所定量形成された状態で、比較的高電圧かつ所定の濃度でチャネル方向斜め上から不純物を注入する。

さてこの場合、不純物は高エネルギーなため、停止するまでにゲート絶縁膜やゲート電極側面の酸化金属部の下部端部の原子、分子
25 と多数回衝突し、このため散乱されて酸化金属部の直下のポリシリコン層に侵入する。勿論、斜め上から撃ち込まれているため、この

効果もある。その結果、L D D 領域が形成される。この様子を、(4 - 3) の下部に示す。

(4 - 4) 次いで、高濃度で不純物を注入する。

以下、他の実施の形態と同様である。また、必要に応じて酸化膜の除去もなされる。

(第 1 5 の実施の形態)

本実施の形態も、先の実施の形態と同じく散乱を利用する。但し、上方からのみ不純物を注入する。

図 2 2 に、本実施の形態の薄膜トランジスタの製造方法を示す。

10 以下、本図を参照しつつこの内容を説明する。

(1) 仮のゲート電極 4 を形成する。

(2) 仮のゲート電極の外周部に酸化膜 4 1 1 を形成する。

(4 - 5) ゲート電極に酸化膜が所定量形成された状態で、比較的高電圧かつ所定の濃度で不純物を注入する。

15 さてこの場合、不純物は高エネルギーなため、停止するまでにゲート絶縁膜の原子、分子と多数回衝突し、このため散乱されて酸化金属部の直下のポリシリコン層に侵入する。その結果、L D D 領域が形成される。この様子を、(4 - 5) の下部に示す。

(4 - 4) 次いで、必要に応じて高濃度で不純物を注入する。

20 以下、他の実施の形態と同様である。また、必要に応じて酸化膜の除去もなされる。

(第 1 6 の実施の形態)

本実施の形態は、第 2 の発明群の各実施の形態で製造される各種の薄膜トランジスタを示したものである。

25 図 2 3 に、各実施の形態の、ゲート電極下部と様々な L D D 領域とオフセット領域及びこれらとゲート電極の位置関係を示す。

本図において、太い線は、不純物の濃度を示す。4は、ソース側のゲート電極端の位置である。24は、不純物の濃度が0の領域である。25は、ソース側の高濃度領域である。245は、ソース側の低濃度領域である。245'はソース側の熱拡散あるいは散乱により形成された低濃度領域である。240は、ソース側のオフセット領域である。

これらにより、薄膜トランジスタの特性が変化し、各種の製品に適切に適用可能となる。

(最終製品の第1の実施の形態)

10 本実施の形態は、以上の各実施の形態の薄膜トランジスタを、ELディスプレイに使用した場合である。

図24に、ELディスプレイの代表的な構成を示す。本図において、111はガラス基板である。112が、薄膜トランジスタである。113は、絶縁層である。114は、配線電極である。115
15 は、陰極である。117は、有機EL層である。118は、陽極である。120は、支持柱である。121は、カラーフィルターである。122は、蛍光変換層である。123は、透明板である。但し、この原理等は周知技術なので、その説明は省略する。

(最終製品の第2の実施の形態)

20 本実施の形態は、以上の各実施の形態の薄膜トランジスタを、液晶ディスプレイに使用した場合である。

図25に、ELディスプレイの代表的な構成を示す。本図において、211はガラス基板である。212が、薄膜トランジスタである。217は、液晶層である。223は、透明板である。その他、
25 カラーフィルター221、ブラックマトリクス223、わざわざは図示しないが配向膜、各種信号線等を有している。但し、この原理

等も周知技術なので、その説明は省略する。

以上、本発明をその幾つかの実施の形態に基づいて説明してきたが、本発明は何もこれらに限定されないのは勿論である。すなわち、例えば以下のようにしても良い。

5 1) 各実施の形態では、半導体の形成方法としてプラズマCVD法を用いたが、これはプラズマCVD以外の減圧CVD法やスパッタ法等で形成するようにしている。

10 2) 同じく、半導体材料としてポリシリコン層を用いたが、これも非晶質シリコンや単結晶シリコンでも可能であるし、他の半導体材料、例えばゲルマニウム(Ge)やシリコン・ゲルマニウム合金(SiGe)やシリコン・ゲルマニウム・炭素等を用いている。

15 3) 同じく、多結晶シリコンを得るため、非晶質シリコンを堆積後、多結晶化をXeClエキシマレーザーを用いたが、他のArF、KrF等のエキシマレーザーやArレーザー等を用いたり、更には、600℃程度のアニールによる固相成長を行っている。なお、固相成長を行う場合には、基板として固相成長温度に耐える基板を用いるのは勿論である。

20 4) 同じく、結晶化以降において、水素プラズマに晒したり水素アニールを行うことにより、ポリシリコン層の粒界や粒内のトラップ準位を補償して結晶性をあげる工程を付加するようにしている。

25 5) 同じく、層間絶縁膜としてTEOSを用いたプラズマCVD法によるSiO₂を用いたが、他の方法、例えばAP-CVD(Atmospheric Pressure CVD)法によるSiO₂やLTO(Low Temperature Oxide)、ECR-CVDによるSiO₂等としている。また、材料として、窒化シリコンや酸化タンタル、酸化アルミニウム等を用いたり、こ

れらの薄膜の積層構造としている。

6) 同じく、ソース電極及びドレイン電極の材料としてAlを用いたが、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)等の金属またはそれらの合金としたり、導電性改良のため不純物を多量に含むポリシリコンやこれとGeとの合金やITO等の透明導電層等としている。

7) 同じく、不純物として、リンでなく、アクセプタとなるボロンや砒素等、ドナーとしてリン以外のアルミニウム等を選択的に用いることによりPチャンネル及びNチャンネルトランジスタを選択的に作成して、CMOS回路を基板上につくり込むようにしている。

産業上の利用可能性

以上の説明で判るように、本発明によれば、不純物の注入にゲート電極を利用するが、このゲート電極に化学的処理を施してそのチャンネル方向長さを変化させ、その変化の前後に不純物をドーピングするため、マスクの位置あわせ等が不必要となる。このためゲート電極に自己整合的に、あるいは必然的に隣接してLDD領域等が形成される。

さて、その化学的処理としてエッチングにてゲート電極を形成する際のフォトリジストの形状、形成に工夫を凝らしているため、トランジスタのサイズが2~4 μ mと微細となっても低濃度不純物領域をきわめて微小かつ高精度に形成することができる。

また、化学的処理としてゲート電極のMoW合金に酸化膜を形成し、マスクと

しての寸法を細かく制御している。このため、やはり低濃度不純物

領域をきわめて微小かつ高精度に形成することができる。

また本発明では、微小な低濃度不純物領域を形成するために特別な工程を必要としないため、既存の設備で容易にかつ簡便に実施することができる。

請求の範囲

1. レジストを使用してゲート電極形成用金属膜より仮のゲート電極を形成する仮のゲート電極形成ステップと、

5 仮のゲート電極の形成に使用したレジストが上部に在る状態で仮のゲート電極をマスクに半導体層に高濃度で不純物を注入する第1回目の不純物注入ステップと、

エッチングによりレジストのチャネル方向両端面を中心寄りに後退させて、仮のゲート電極のチャネル方向両端部の表面を露出させる孤立レジストエッチングステップと、

10 残ったレジストをマスクに露出した仮のゲート電極の両端部をエッチングで除去する仮のゲート電極両端除去ステップと、

仮のゲート電極の両端を除去されて形成されたゲート電極をマスクに半導体層に低濃度で不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

2. ゲート電極形成用金属膜のパターニングを行うためゲート電極に対応する位置に形成されたレジストのゲート電極部チャネル方向側面を、下拡がりのテーパーを有する形状に加工するレジスト端側面加工ステップと、

20 テーパー形状に加工されたレジストをマスクにゲート電極形成用金属膜をエッチングして仮のゲート電極を形成する仮のゲート電極形成ステップと、

端面がテーパー形状のレジスト下部に仮のゲート電極が形成された状態で仮のゲート電極をマスクに半導体層に高濃度に不純物を注入する第1回目の不純物注入ステップと、

端面がテーパー形状のレジスト下部にエッチングにより中心寄り

に仮のゲート電極を後退させて、ゲート電極のチャネル方向両端部の表面を露出させる孤立レジストエッチングステップと、

残ったレジストをマスクに露出したゲート電極の両端部を除去する仮のゲート電極両端除去ステップと、

- 5 両端を除去されて形成されたゲート電極をマスクに半導体層に低濃度で不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

3. 前記レジスト端側面加工ステップは、

- 10 ゲート電極形成用金属膜上でパターン化されたレジストの形状を加熱溶融により半球状にするレジスト球化ステップであることを特徴とする請求項2に記載のLDD構造の薄膜トランジスタの製造方法。

4. 前記レジスト端側面加工ステップは、

- 15 ゲート電極形成用の金属膜上にパターン化して形成されたレジストを、レジスト材料が変形しないことから定まるポストベーク温度より高い所定の温度に晒して上部を収縮させる熱収縮ステップであることを特徴とする請求項2に記載のLDD構造の薄膜トランジスタの製造方法。

5. 前記レジスト端側面加工ステップは、

- 20 ゲート電極形成用金属膜上に塗布されたレジストのプリベークをその材料より定まるプリベーク条件温度より低い温度で行う低温プリベーク小ステップを有していることを特徴とする請求項2に記載のLDD構造の薄膜トランジスタの製造方法。

6. 前記レジスト端側面加工ステップは、

- 25 前記低温プリベーク小ステップに加えて更に、
フォトリソグラフィにてゲート電極形成用金属膜のパターニングを

行う際に、レジストに対して露光焦点をずらして露光する焦点ずらし露光小ステップを有していることを特徴とする請求項 5 に記載の L D D 構造の薄膜トランジスタの製造方法。

7. 前記レジスト端側面加工ステップは、

- 5 前記低温プリベーキング小ステップと焦点ずらし露光小ステップに加えて更に、

10 フォトリソグラフィにてゲート電極形成用金属膜のパターニングをする際、これに用いるフォトマスクとしてぬきパターンのフォトマスクとし、フォトレジストとしてはネガ型のものを使用するぬきパターンフォトマスク使用露光小ステップを有していることを特徴とする請求項 6 に記載の L D D 構造の薄膜トランジスタの製造方法。

8. 前記レジスト端側面加工ステップは、

- 15 面積比例型の化学反応を利用するレジスト端頂面除去ステップであることを特徴とする請求項 2 に記載の L D D 構造の薄膜トランジスタの製造方法。

9. 前記仮のゲート電極形成ステップは、

ゲート電極用金属膜上にポストバークの温度が高い第 1 のレジストを塗布する第 1 回目のレジスト塗布小ステップと、

- 20 第 1 のレジスト上に第 1 のレジストよりポストバークの温度が低い第 2 のレジストを積層塗布する第 2 回目のレジスト塗布小ステップと、

上記第 1 のレジストと上記第 2 のレジストを共に電極形成用マスクを使用して露光し、その後現像する露光現像小ステップと、

- 25 上記第 1 のレジストが変形しないことから定まるポストバーク温度でポストバークを行う高温ベーキング小ステップと、

上記第 1 と第 2 のレジストをマスクにゲート電極形成用の金属膜のパターニングを行い仮のゲート電極を形成する仮のゲート電極パターニング小ステップを有していることを特徴とする請求項 1 に記載の L D D 構造の薄膜トランジスタの製造方法。

5 1 0 . 前記仮のゲート電極形成ステップは、

ゲート電極形成用金属膜上に塗布されたレジストのプリベークをその材料より定まるプリベーク条件温度より低い温度で行う低温プリベーク小ステップを有していることを特徴とする請求項 1 に記載の L D D 構造の薄膜トランジスタの製造方法。

10 1 1 . 前記仮のゲート電極形成ステップは、

前記低温プリベーク小ステップに加えて更に、

フォトリソグラフィにてゲート電極形成用金属膜のパターニングを行う際に、レジストに対して露光焦点をずらして露光する焦点ずらし露光小ステップを有していることを特徴とする請求項 1 0 に記載

15 の L D D 構造の薄膜トランジスタの製造方法。

1 2 . 前記仮のゲート電極形成ステップは、

前記低温プリベーク小ステップと焦点ずらし露光小ステップに加えて更に、

20 フォトリソグラフィにてゲート電極形成用金属膜のパターニングをする際、これに用いるフォトマスクとしてぬきパターンのフォトマスクとし、フォトレジストとしてはネガ型のものを使用するぬきパターンフォトマスク使用露光小ステップを有していることを特徴とする請求項 1 1 に記載の L D D 構造の薄膜トランジスタの製造方法。

25 1 3 . 前記孤立レジストエッチングステップに先立って、

仮のゲート電極上に形成されたレジストに融点あるいは軟化点以

上の常温に晒して、その表面を半球状に熔融変形させる孤立レジスト半球化ステップを有していることを特徴とする請求項1に記載のLDD構造の薄膜トランジスタの製造方法。

14. 前記孤立レジスト半球化ステップに先立って、

5 レジストとしてメルトフロー型レジストを選定するメルトフローレジスト選定ステップを有していることを特徴とする請求項13に記載のLDD構造の薄膜トランジスタの製造方法。

15. 前記孤立レジストエッチングステップに先立って、

10 ゲート電極上に形成されたレジストに該レジスト材料が変形しないことから定まるポストバーク温度より高い所定の温度を加えて、その上部表面を収縮させて、レジストの端面に下拡がりの傾斜を与えるレジスト熱収縮ステップを有していることを特徴とする請求項1に記載のLDD構造の薄膜トランジスタの製造方法。

16. 前記孤立レジストエッチングステップは、

15 レジストを、 O_2 、オゾンの少くも1を含むガスでのアッシングにより少くもゲート電極チャネル方向両側端部のレジストを除去する両端アッシングステップであることを特徴とする請求項1～請求項15のいずれかに記載のLDD構造の薄膜トランジスタの製造方法。

20 17. レジストを使用してゲート電極形成用金属膜より仮のゲート電極を形成する仮のゲート電極形成ステップと、

仮のゲート電極の形成に使用したレジストが上部に在る状態で仮のゲート電極をマスクに半導体層に高濃度で不純物を注入する不純物注入ステップと、

25 前記仮のゲート電極形成ステップの前又は前記不純物注入ステップの前若しくは後に、上記仮のゲート電極の形成に使用するあるい

は使用したレジストのチャネル方向両端面に下拡がりの形状を形成するレジスト端面傾斜化ステップと、

エッチングによりレジストのチャネル方向端面を中心寄りに後退させて、仮のゲート電極のチャネル方向両端部の表面を露出させる

5 レジストエッチングステップと、

残ったレジストをマスクに露出した仮のゲート電極の両端部をエッチングで除去するゲート電極形成ステップとを有していることを特徴とするオフセット型の薄膜トランジスタの製造方法。

18. 基板上に順にゲート電極とゲート絶縁膜と半導体層を形成
10 するボトムゲート型トランジスタ形成用基本ステップと、

半導体層上に不純物注入マスク用金属膜を形成する金属膜形成ステップと、

金属膜上にレジスト膜を形成するレジスト膜形成ステップと、

基板の裏面側よりゲート電極を露光マスクとして上記形成された
15 レジスト膜を露光してパターン化するレジスト膜パターン化ステップと、

パターン化されたレジスト膜をマスクに上記不純物注入マスク用金属膜をパターン化する第1回目の不純物注入マスク形成ステップと、

20 形成された第1回目の不純物注入マスクをマスクとして、基板表面側より高濃度で不純物を注入する第1回目の不純物注入ステップと、

パターン化された第1回目の不純物注入マスク上のパターン化されたレジストを、そのチャネル方向両端の側面が中央部寄りの傾斜
25 を有するよう処理する孤立レジスト端面傾斜化ステップと、

チャネル方向両端の側面が中央部寄りの傾斜を有するよう処理さ

れたレジストのチャネル方向両端面を中心寄りに後退させ、その下方の第1回目の不純物注入マスクの両端部の表面を露出させる孤立レジストエッチングステップと、

残ったレジストをマスクに露出した第1回目の不純物注入マスクの両端露出部をエッチングで除去する第2回目の不純物注入マスク形成ステップと、

形成された第2回目の不純物注入マスクをマスクとして基板表面側より低濃度で不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

19. 基板上に順にゲート電極とゲート絶縁膜と半導体層と保護絶縁膜とを形成するボトムゲート型トランジスタ形成用基本ステップと、

半導体層上に不純物注入マスク用金属膜を形成する金属マスク形成ステップと、

金属マスク上にレジスト膜を形成するレジスト膜形成ステップと、
基板の裏面側よりゲート電極を露光マスクとして上記形成されたレジスト膜を露光してパターン化するレジスト膜パターン化ステップと、

20 パターン化されたレジスト膜をマスクに上記不純物注入マスク用金属膜をパターン化する第1回目の不純物注入マスク形成ステップと、

形成された第1回目の不純物注入マスクをマスクとして、基板表面側より高濃度で不純物を注入する第1回目の不純物注入ステップと、

パターン化された第1回目の不純物注入マスク上のパターン化さ

れたレジストを、そのチャネル方向両端の側面が中央部よりの傾斜を有するよう処理する孤立レジスト端面傾斜化ステップと、

チャネル方向両端の側面が中央部よりの傾斜を有するよう処理されたレジストのチャネル方向両端面を中心寄りに後退させ、その下方の第1回目の不純物注入マスクの両端部の表面を露出させる孤立レジストエッチングステップと、

残ったレジストをマスクに露出した第1回目の不純物注入マスクの両端露出部をエッチングで除去する第2回目の不純物注入マスク形成ステップと、

10 形成された第2回目の不純物注入マスクをマスクとして基板表面側より低濃度で不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

20 20. 薄膜トランジスタをマトリクス状に配置した薄膜トランジスタアレイを有する第1の基板と、これに対向する電極を配置した第2の基板と、両基板間にエレクトロルミネッセンス材料を挟持したエレクトロルミネッセンス表示装置であって、

前記第1の基板に請求項1から請求項15、請求項17、請求項18若しくは請求項19のいずれかに記載した発明の薄膜トランジスタを選定してマトリクス状に配置して形成する薄膜トランジスタ選定ステップを有していることを特徴とするエレクトロルミネッセンス表示装置の製造方法。

25 21. 薄膜トランジスタをマトリクス状に配置した薄膜トランジスタアレイを有する第1の基板と、これに対向する電極を配置した第2の基板と、両基板間に液晶材を挟持した液晶表示装置の製造方法であって、

前記第1の基板に請求項1から請求項19のいずれかに記載した発明の薄膜トランジスタを選定してマトリクス状に配置して形成する薄膜トランジスタ選定ステップを有していることを特徴とする液晶表示装置。

5 22. 前記第2回目の不純物注入ステップは、

チャネル領域とソース領域間及びチャネル領域とドレイン領域の間の不純物濃度が低い領域の電気抵抗が $20\text{ k}\Omega/\square \sim 100\text{ k}\Omega/\square$ となるように不純物を注入する特定範囲抵抗形成目的第1回目の不純物注入ステップであることを特徴とする請求項1から請求項10 15、請求項17、請求項18若しくは請求項19のいずれかに記載の薄膜トランジスタの製造方法。

23. 上記LDD構造の薄膜トランジスタ若しくはオフセット型の薄型トランジスタの半導体材料として、

多結晶シリコンを選定する半導体材料選定ステップを有していることを特徴とする請求項1から請求項15、請求項17、請求項18若しくは請求項19のいずれかに記載のLDD構造の薄膜トランジスタ若しくはオフセット型の薄型トランジスタの製造方法。

24. トップゲート型かつLDD構造の薄膜トランジスタであって、

20 厚さ 100 nm 以上 250 nm のゲート電極と、

前記ゲート電極のチャネル方向両端部を被覆する、各々 $0.075 \sim 0.5\text{ }\mu\text{m}$ の長さかつ不純物注入時のマスク能力を有する厚さの当該ゲート電極材料の酸化膜等の絶縁性反応膜とを有していることを特徴とするLDD構造の薄膜トランジスタ。

25 25. トップゲート型かつLDD構造の薄膜トランジスタであって、

厚さ 100 nm 以上 250 nm のゲート電極と、

前記ゲート電極のチャネル方向両端部を被覆する、各々 0.075 ~ 0.5 μ m の長さかつ不純物注入時のマスク能力を有する厚さの当該ゲート電極材料の酸化膜等の絶縁性反応膜とを有し、

5 前記絶縁性反応膜直下の半導体層は、

ゲート電極側のオフセット領域と、

反ゲート電極側の低濃度不純物注入領域とを有していることを特徴とする LDD 構造の薄膜トランジスタ。

26. トップゲート型かつ LDD 構造の薄膜トランジスタであって、
10

厚さ 100 nm 以上 250 nm のゲート電極と、

前記ゲート電極のチャネル方向両端部を被覆する、各々 0.075 ~ 0.5 μ m の長さかつ不純物注入時のマスク能力を有する厚さの当該ゲート電極材料の酸化膜等の絶縁性反応膜とを有し、

15 前記絶縁性反応膜直下の半導体層は、

ゲート電極側の熱拡散若しくは散乱による低濃度不純物侵入領域と、

反ゲート電極側の低濃度不純物注入領域とを有していることを特徴とする LDD 構造の薄膜トランジスタ。

20 27. 前記ゲート電極の絶縁性反応膜は、

熱酸化膜であることを特徴とする請求項 24 ~ 請求項 26 のいずれかに記載の LDD 構造の薄膜トランジスタ。

28. トップゲート型かつ LDD 構造の薄膜トランジスタであって、

25 厚さ 100 nm 以上 250 nm のゲート電極を有し、

半導体層は、ゲート電極の下部チャネル方向両端部に、

合計で 0.075 ~ 0.5 μ m の長さのゲート電極側のオフセット領域と、反ゲート電極側の低濃度不純物注入領域とを有していることを特徴とする LDD 構造の薄膜トランジスタ。

29. トップゲート型かつ LDD 構造の薄膜トランジスタであって、

厚さ 100 nm 以上 250 nm のゲート電極を有し、

半導体層は、ゲート電極の下部チャネル方向両端部に、

合計で 0.075 ~ 0.5 μ m の長さのゲート電極側の熱拡散若しくは散乱による低濃度不純物侵入領域と、反ゲート電極側の低濃度不純物注入領域とを有していることを特徴とする LDD 構造の薄膜トランジスタ。

30. 前記ゲート電極は、

15 ~ 50 原子% の Mo と W の合金からなる低抵抗安定型ゲート電極であることを特徴とする請求項 24 ~ 請求項 26、請求項 28 若しくは請求項 29 のいずれかに記載のトップゲート型の LDD 構造の薄膜トランジスタ。

31. 上記 LDD 構造の薄膜トランジスタは、

半導体層は多結晶シリコン層であることを特徴とする請求項 24 ~ 請求項 26、請求項 28 若しくは請求項 29 のいずれかに記載の LDD 構造の薄膜トランジスタ。

32. 上記 LDD 構造の薄膜トランジスタは、

半導体層は多結晶シリコン層であることを特徴とする請求項 30 に記載のトップゲート型の LDD 構造の薄膜トランジスタ。

33. 低濃度な不純物領域の電気抵抗が 20 k Ω /□、100 k Ω /□であることを特徴とする請求項 32 に記載の薄膜トランジスタ。

3 4 . L D D 構造の薄膜トランジスタの製造方法であって、

厚さ 3 0 0 ~ 5 0 0 n m の金属膜からなるゲート電極をマスクとして低濃度の不純物を注入する第 1 回目の不純物注入ステップと、

ゲート電極に反応性流体を作用させてそのチャネル方向両端両方向に長さ 0 . 0 7 5 ~ 0 . 5 μ m のゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

前記反応膜形成ステップにてチャネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第 2 回目の不純物注入ステップとを有していることを特徴とする L D D 構造の薄膜トランジスタの製造方法。

3 5 . 前記反応膜形成ステップは、

ゲート電極材料の金属を熱中で酸化させることにより酸化膜を形成する熱酸化利用酸化膜形成ステップであることを特徴とする請求項 3 4 に記載の L D D 構造の薄膜トランジスタの製造方法。

3 6 . ゲート電極の材料として、

1 5 ~ 5 0 原子%の M o と W の合金を選定するゲート電極材料選定ステップを有していることを特徴とする請求項 3 4 若しくは請求項 3 5 に記載の L D D 構造の薄膜トランジスタの製造方法。

3 7 . L D D 構造の薄膜トランジスタの製造方法であって、

厚さ 3 0 0 ~ 5 0 0 n m の金属膜からなるゲート電極をマスクとして低濃度不純物を注入する第 1 回目の不純物注入ステップと、

ゲート電極に反応性流体を作用させてそのチャネル方向両端両方向に長さ 0 . 0 7 5 ~ 0 . 5 μ m のゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

前記反応膜形成ステップにてチャネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第 2 回目の

不純物注入ステップと、

前記反応膜形成ステップにて形成されたゲート電極チャンネル方向両端面両側の金属の酸化膜等の反応膜を除去する反応膜除去ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

38. LDD構造の薄膜トランジスタの製造方法であって、

厚さ300～500nmの金属膜からなるゲート電極に反応性流体を作用させてそのチャンネル方向両端両方向に長さ0.075～0.5μmのゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

前記反応膜形成ステップにてチャンネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第1回目の不純物注入ステップと、

前記反応膜形成ステップにて形成されたゲート電極チャンネル方向両端面両側の金属の酸化膜等の反応膜を除去する反応膜除去ステップと、

上記反応膜を除去されたゲート電極をマスクとして低濃度不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

39. 前記反応膜形成ステップは、

ゲート電極材料の金属を熱中で酸化させることにより酸化膜を形成する熱酸化利用酸化膜形成ステップであることを特徴とする請求項37若しくは請求項38に記載のLDD構造の薄膜トランジスタの製造方法。

40. ゲート電極の材料として、

15～50原子%のMoとWの合金を選定するゲート電極材料選

定ステップを有していることを特徴とする請求項 37 若しくは請求項 38 に記載の LDD 構造の薄膜トランジスタの製造方法。

41. LDD 構造の薄膜トランジスタの製造方法であって、

厚さ 300 ~ 500 nm の金属膜からなるゲート電極をマスクとして低濃度の不純物を注入する第 1 回目の不純物注入ステップと、

ゲート電極に反応性流体を作用させてそのチャネル方向両端両方向に長さ 0.075 ~ 0.5 μ m のゲート電極材料金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

前記反応膜形成ステップにてチャネル方向両端面に反応膜の形成されたゲート電極をマスクに高濃度の不純物を注入する第 2 回目の不純物注入ステップと、

前記反応膜形成ステップにて形成されたゲート電極チャネル方向両端面両方向の金属の酸化膜等の反応膜を還元等の逆な反応をさせて基の金属とする逆反応ステップとを有していることを特徴とする LDD 構造の薄膜トランジスタの製造方法。

42. 前記反応膜形成ステップは、

ゲート電極材料の金属を熱中で酸化させることにより酸化膜を形成する熱酸化利用酸化膜形成ステップであることを特徴とする請求項 41 記載の LDD 構造の薄膜トランジスタの製造方法。

43. ゲート電極の材料として、

15 ~ 50 原子%の Mo と W の合金を選定するゲート電極材料選定ステップを有していることを特徴とする請求項 41 若しくは請求項 42 記載の LDD 構造の薄膜トランジスタの製造方法。

44. 厚さ 300 ~ 500 nm の金属膜からなるゲート電極材料の一部を酸化させて、そのチャネル方向端面両側に厚さ 0.05 ~ 0.5 μ m のゲート電極材料の酸化膜を形成する酸化膜形成ステッ

プと、

酸化膜の形成されたゲート電極をマスクとしてチャネル方向両側から同時若しくは各側計2回に分けて高電圧で不純物を注入する斜め方向高電圧不純物注入ステップとを有していることを特徴とする

5 LDD構造の薄膜トランジスタの製造方法。

45. 厚さ300～500nmの金属膜からなるゲート電極材料の一部を酸化させて、そのチャネル方向端面両側に長さ0.05～0.5μmのゲート電極材料の酸化膜を形成する酸化膜形成ステップと、

10 酸化膜の形成されたゲート電極をマスクとして高電圧で不純物を注入する高電圧不純物注入ステップと、

不純物注入後の半導体の熱処理、上記ゲート電極端面に形成された酸化膜の除去や還元のための加熱時に前記高電圧不純物注入ステップにて打ち込まれ、チャネル方向ゲート電極中央寄りに散乱した

15 不純物の一層の拡散を図る拡散ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

46. オフセット型の薄膜トランジスタの製造方法であって、

長さ300～500nmの金属膜からなるゲート電極を熱酸化させて、そのチャネル方向両側端に厚さ0.075～0.5μmのゲ

20 ート電極最良金属の酸化膜等の反応膜を形成する反応膜形成ステップと、

反応膜の形成されたゲート電極をマスクとして高濃度の不純物を注入する不純物注入ステップと、

不純物注入後に、ゲート電極チャネル方向両側の金属酸化膜を除去する酸化膜除去ステップとを有していることを特徴とするオフセット型の薄膜トランジスタの製造方法。

25

47. 上記 L D D 構造の薄膜トランジスタの半導体材料として、
多結晶シリコンを選定する半導体材料選定ステップを有している
ことを特徴とする請求項 34、請求項 35、請求項 37、請求項 3
8、請求項 41、請求項 42、請求項 44 若しくは請求項 45 に記
5 載の L D D 構造の薄膜トランジスタの製造方法。

48. 上記 L D D 構造の薄膜トランジスタの半導体材料として、
多結晶シリコンを選定する半導体材料選定ステップを有している
ことを特徴とする請求項 36 に記載の L D D 構造の薄膜トランジス
タの製造方法。

10 49. 上記 L D D 構造の薄膜トランジスタの半導体材料として、
多結晶シリコンを選定する半導体材料選定ステップを有している
ことを特徴とする請求項 39 に記載の L D D 構造の薄膜トランジス
タの製造方法。

50. 上記 L D D 構造の薄膜トランジスタの半導体材料として、
15 多結晶シリコンを選定する半導体材料選定ステップを有している
ことを特徴とする請求項 40 に記載の L D D 構造の薄膜トランジス
タの製造方法。

51. 上記 L D D 構造の薄膜トランジスタの半導体材料として、
多結晶シリコンを選定する半導体材料選定ステップを有している
20 ことを特徴とする請求項 43 に記載の L D D 構造の薄膜トランジス
タの製造方法。

52. 上記オフセット型の薄膜トランジスタの半導体材料として、
多結晶シリコンを選定する半導体材料選定ステップを有している
ことを特徴とする請求項 46 に記載の L D D 構造の薄膜トランジス
25 タの製造方法。

図1

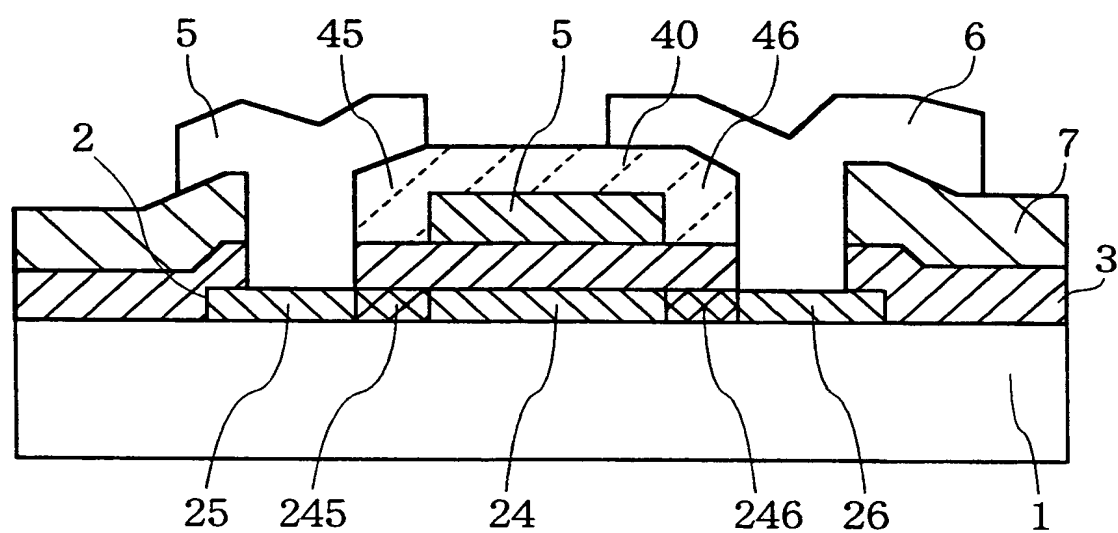




図2

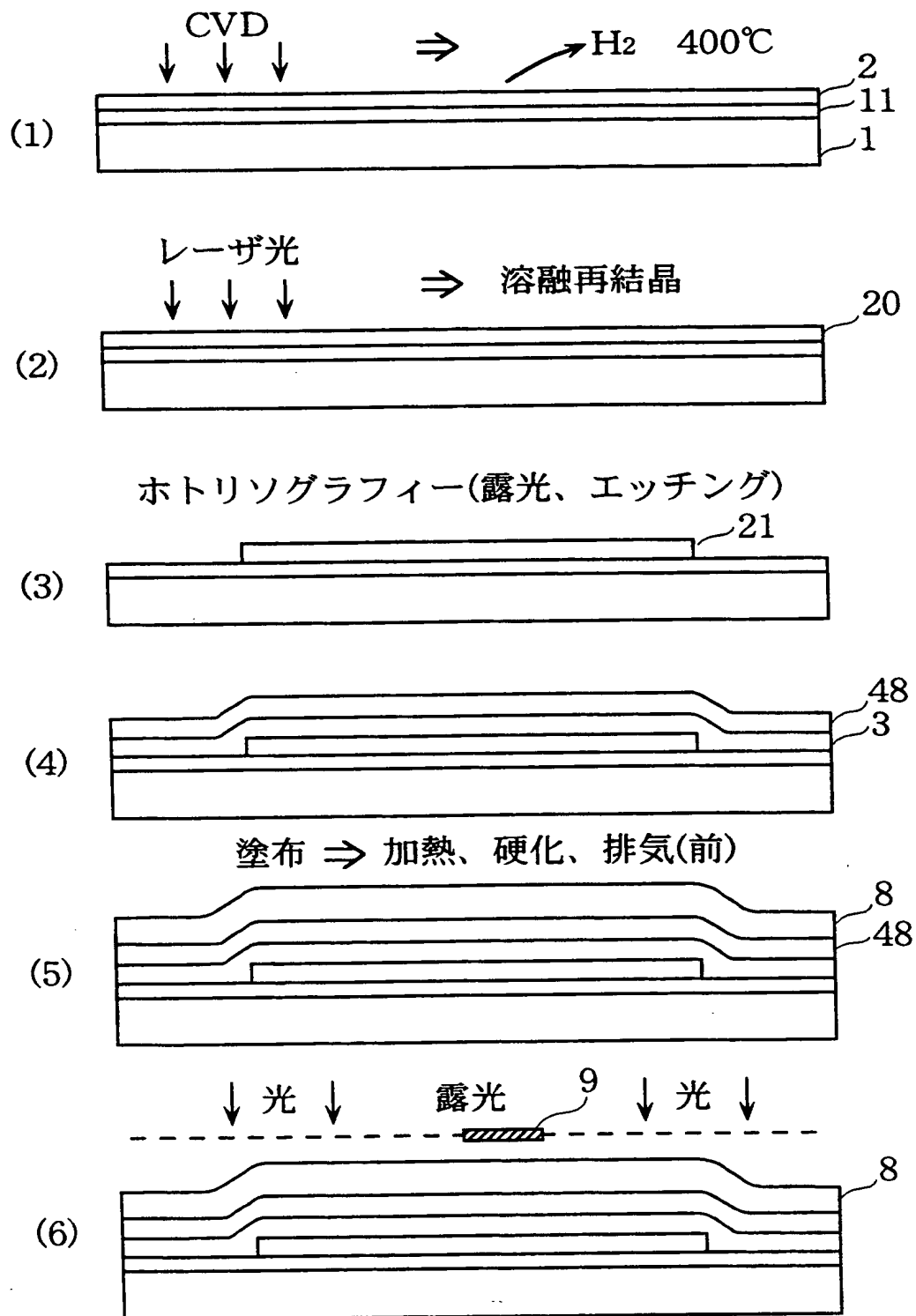




図3

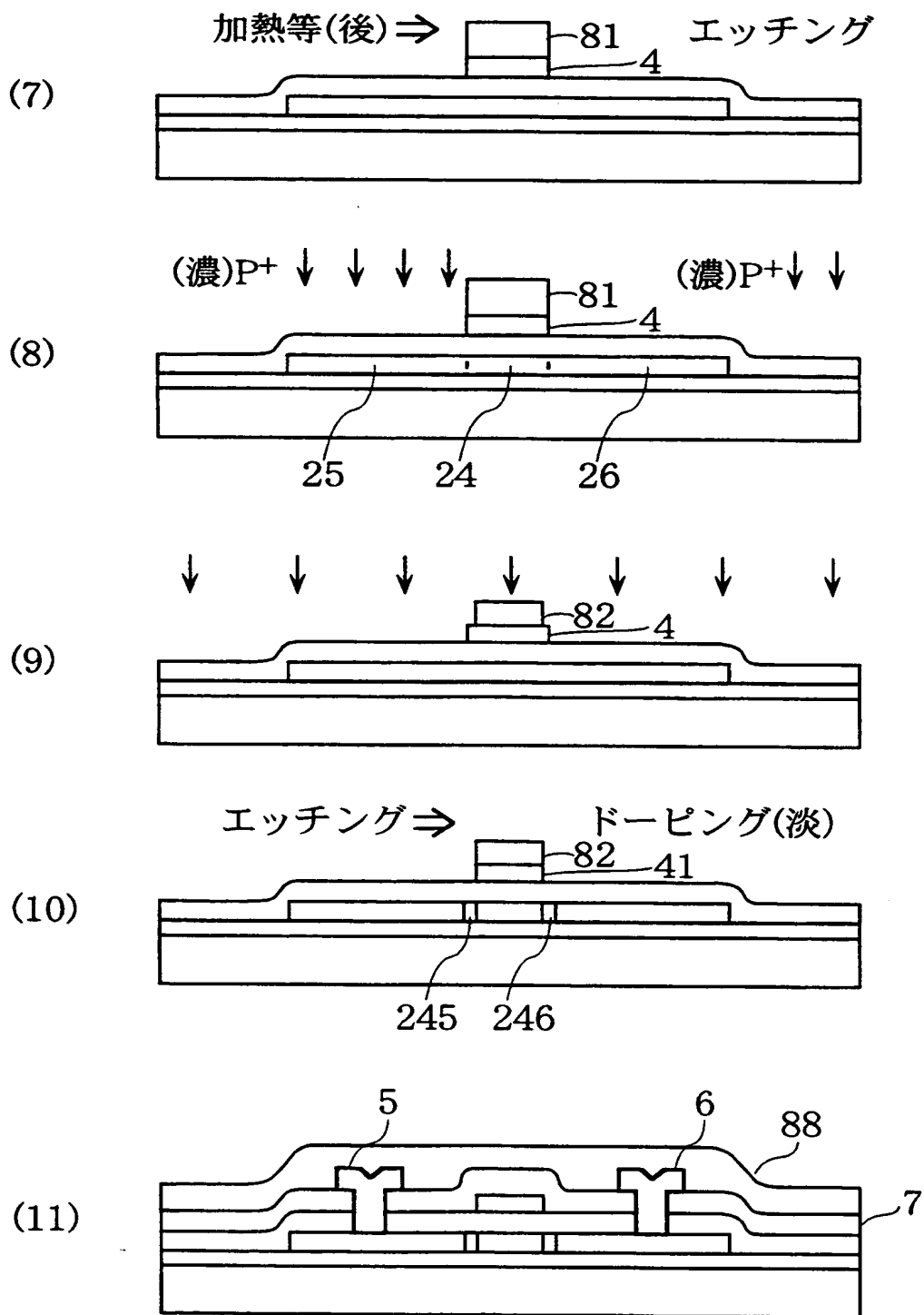




図4

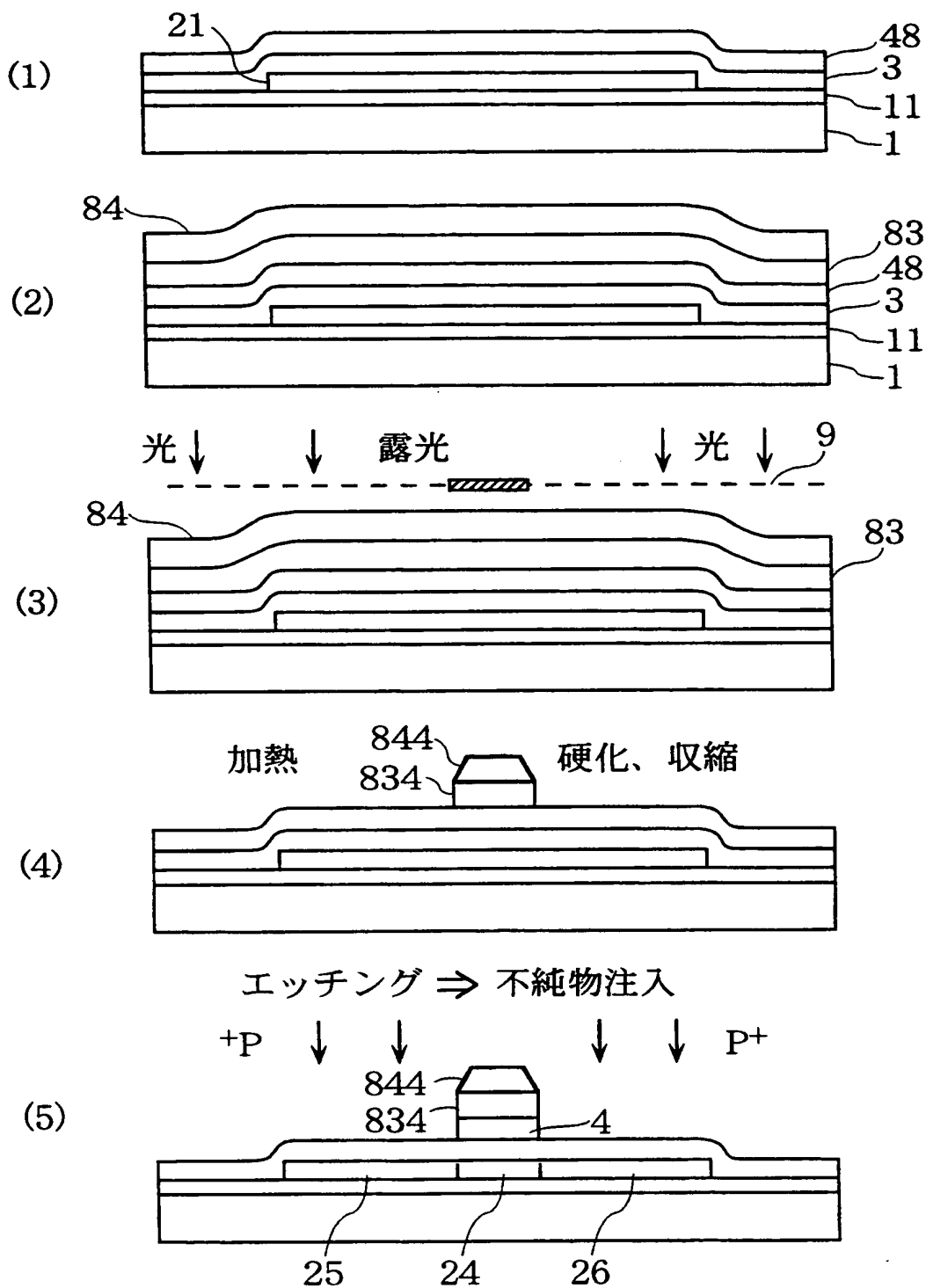




図5

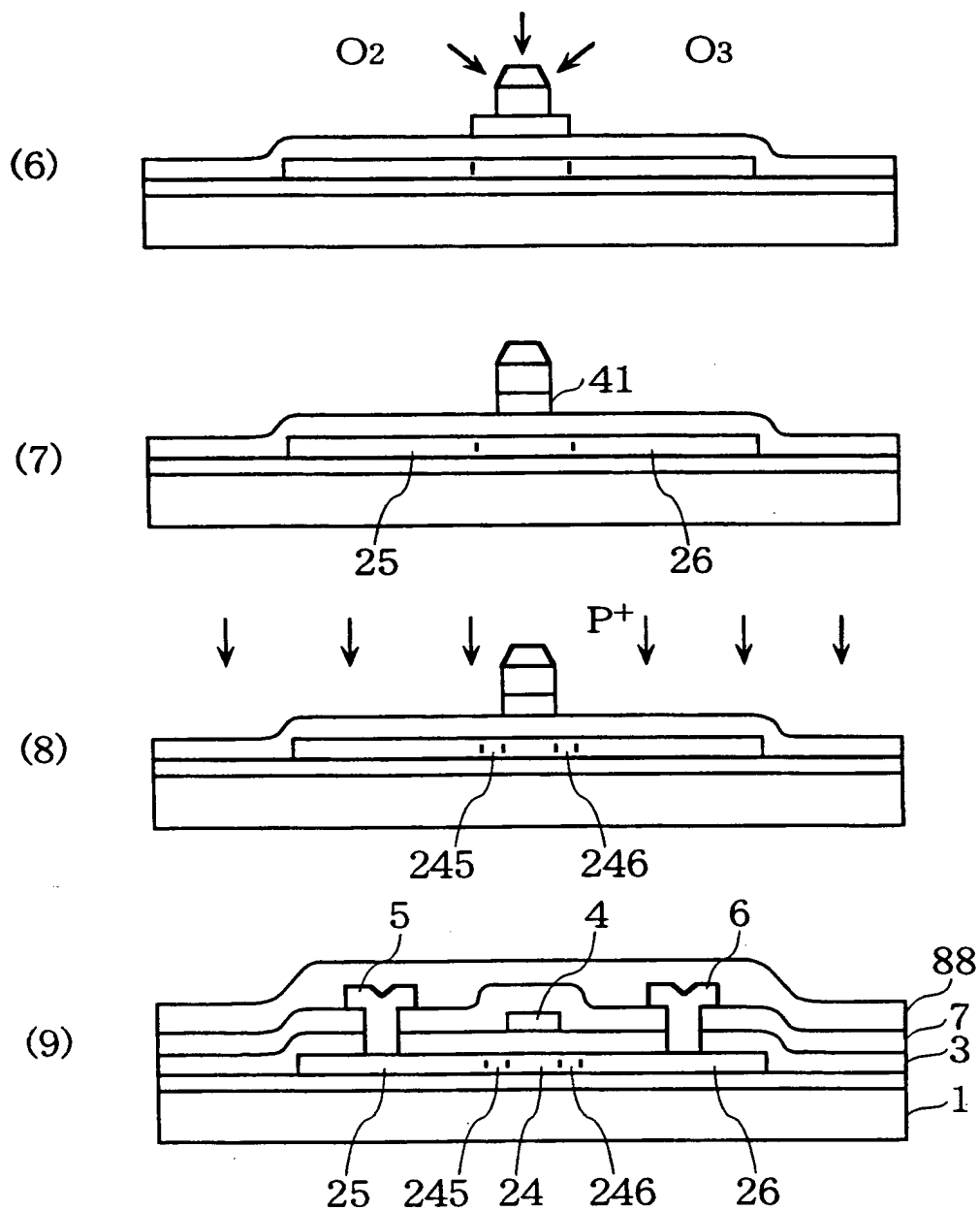




図6

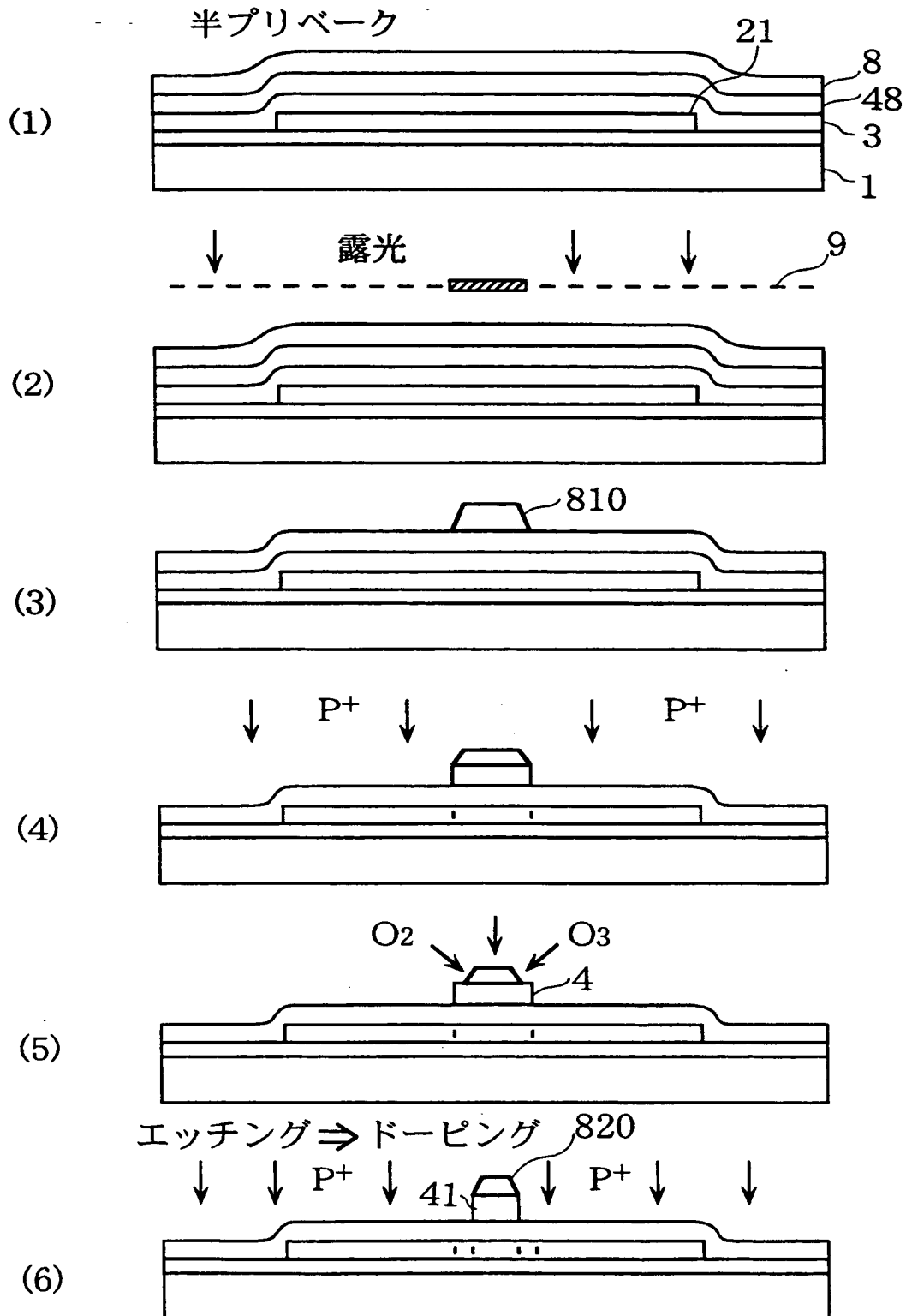




図7

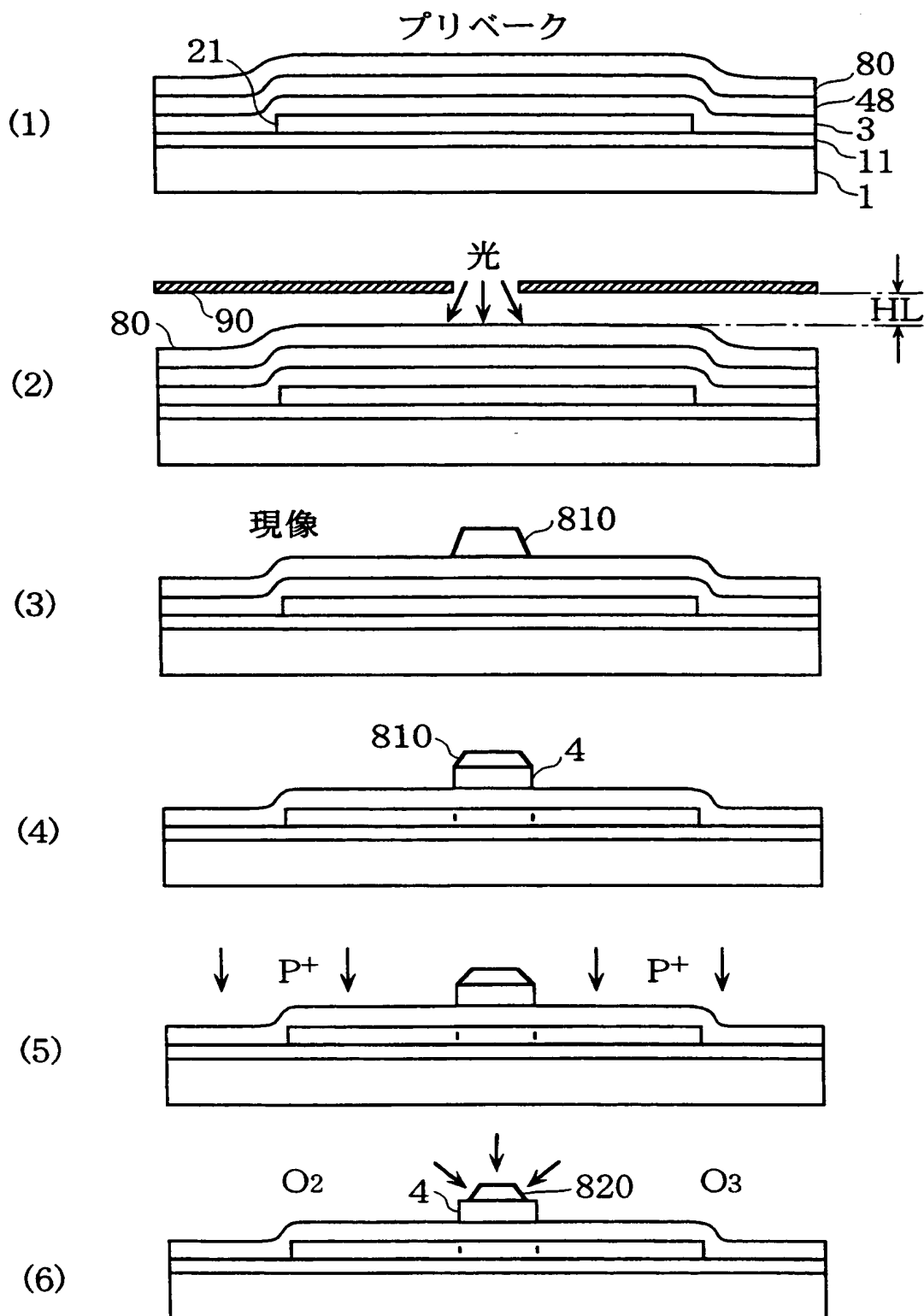


図8

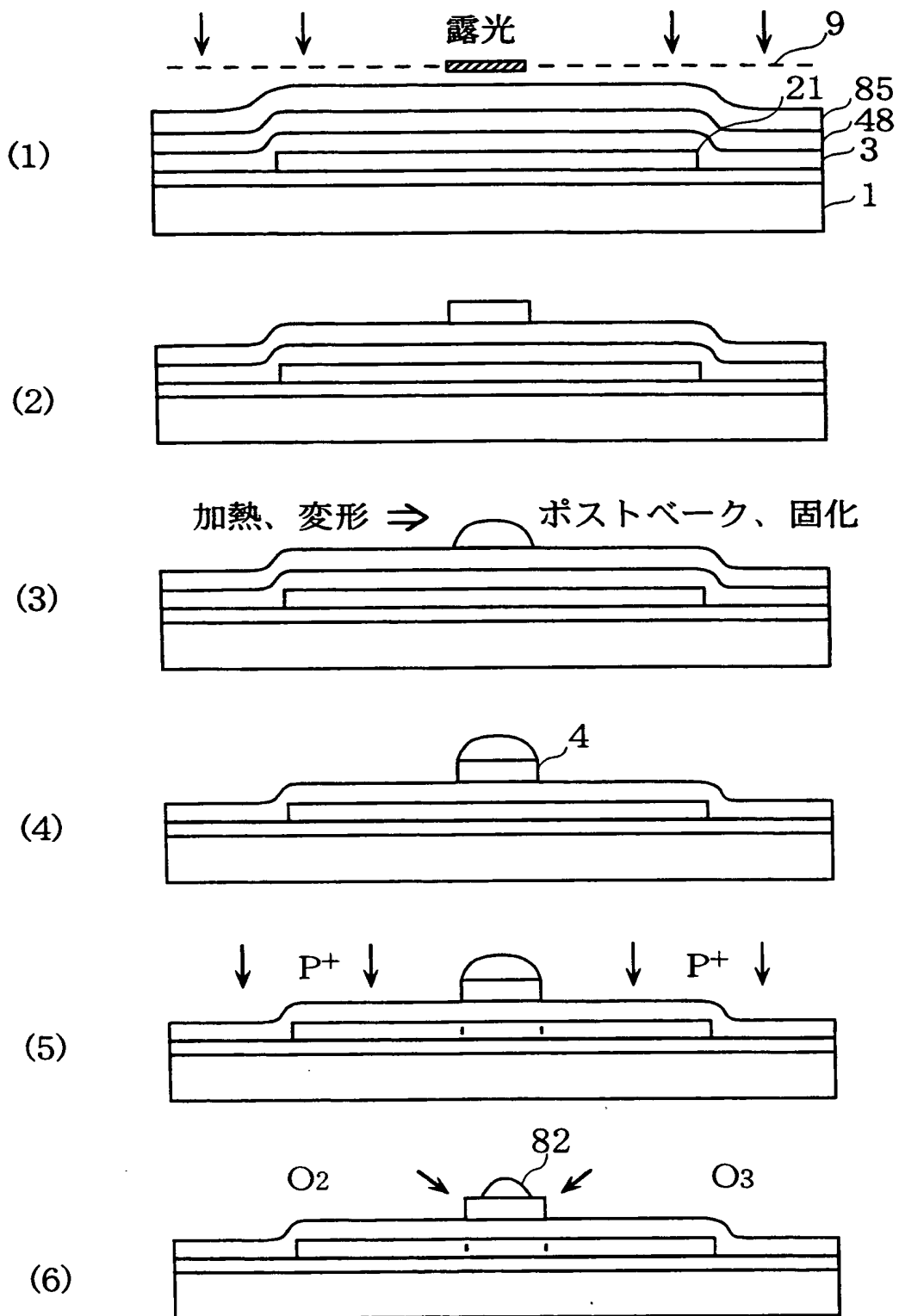




図9

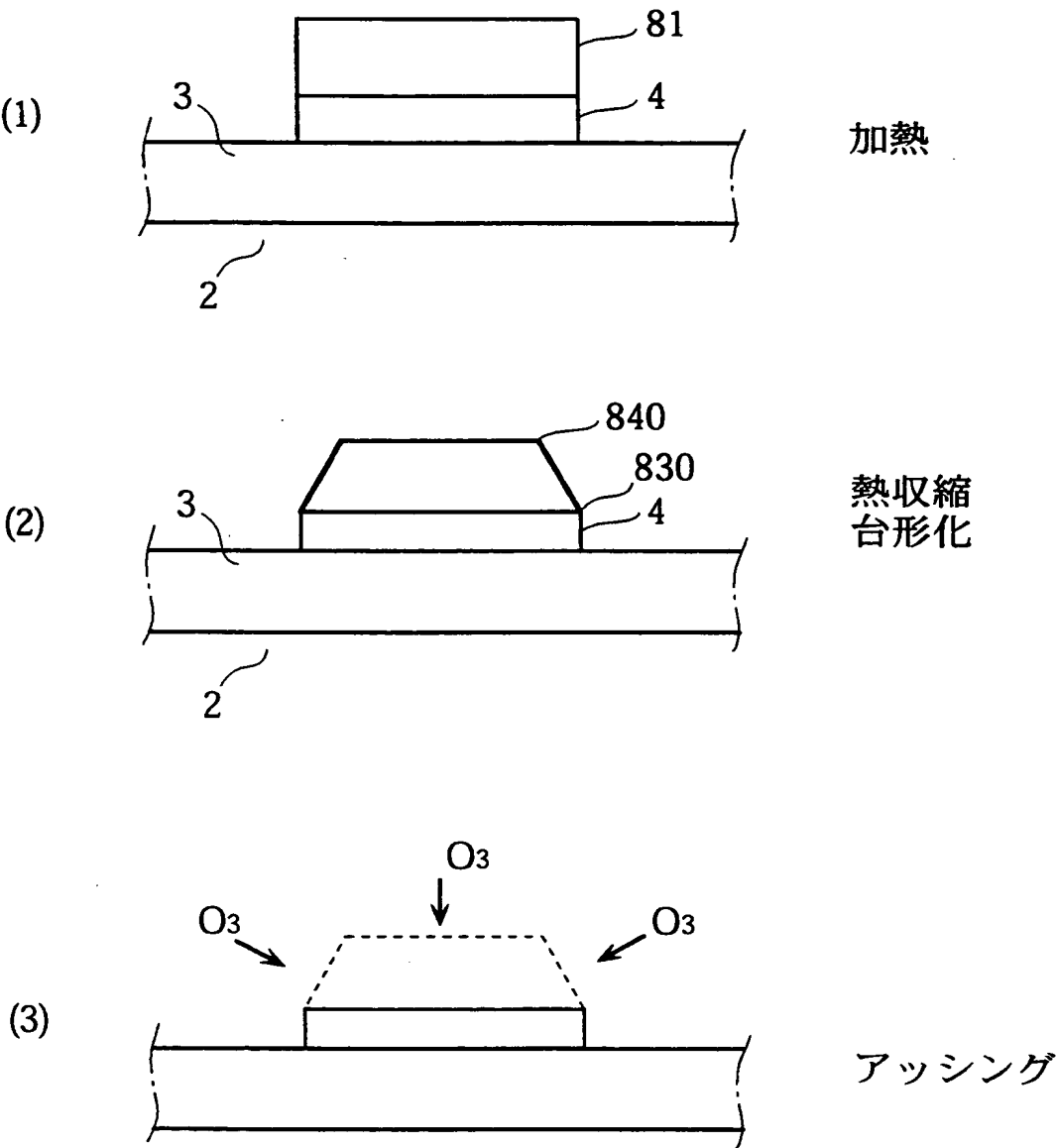


図10

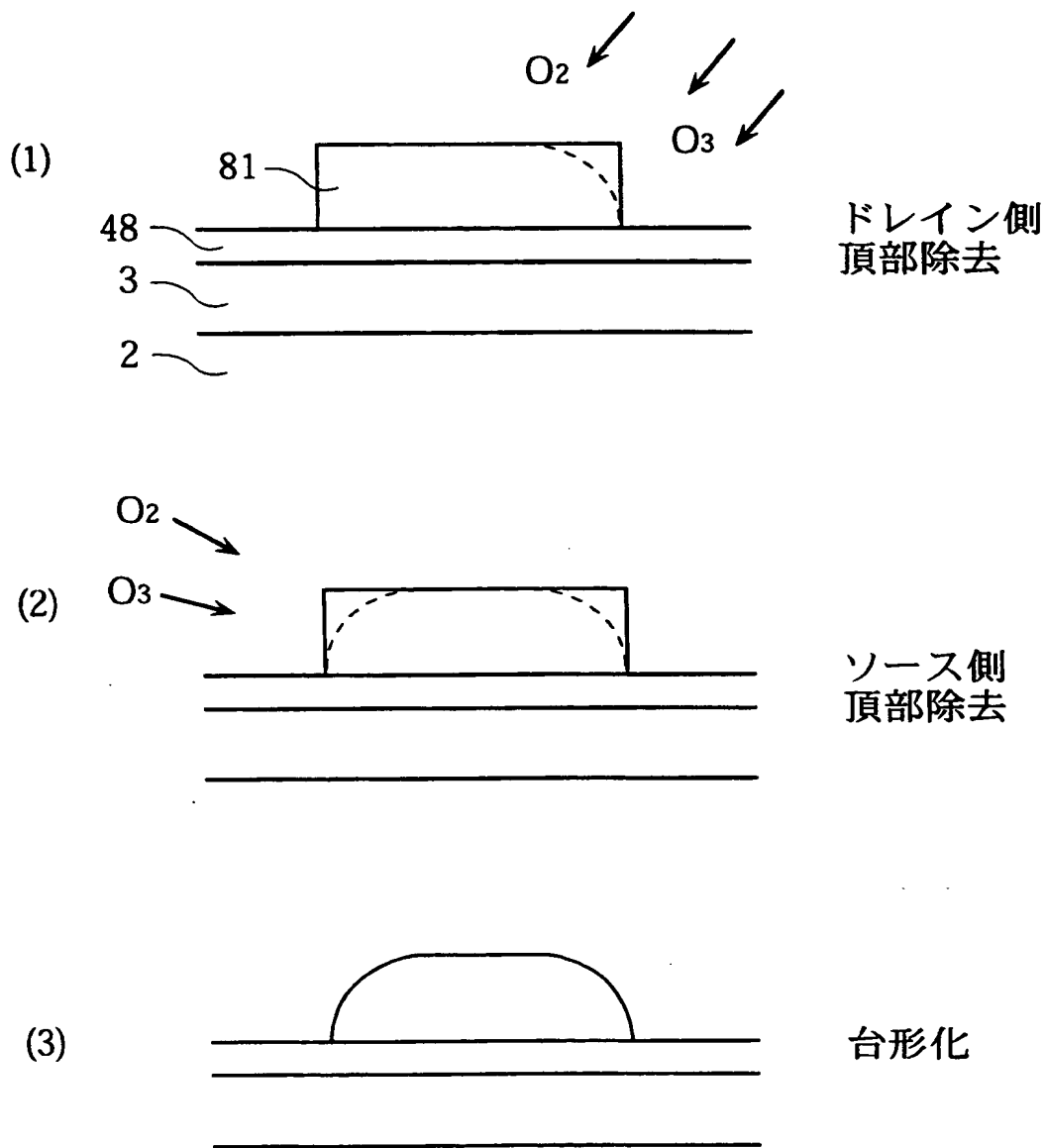




図11

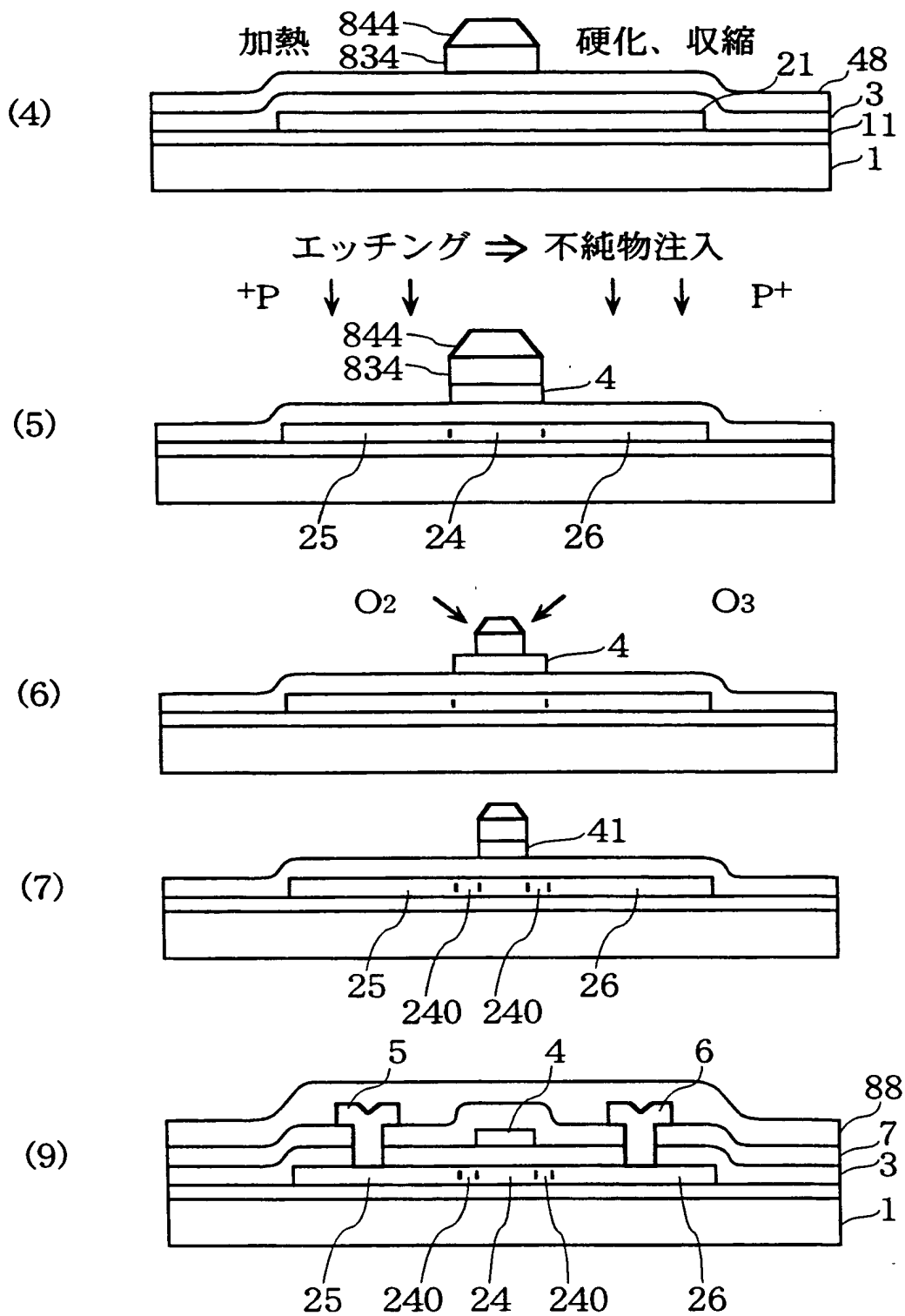




図12

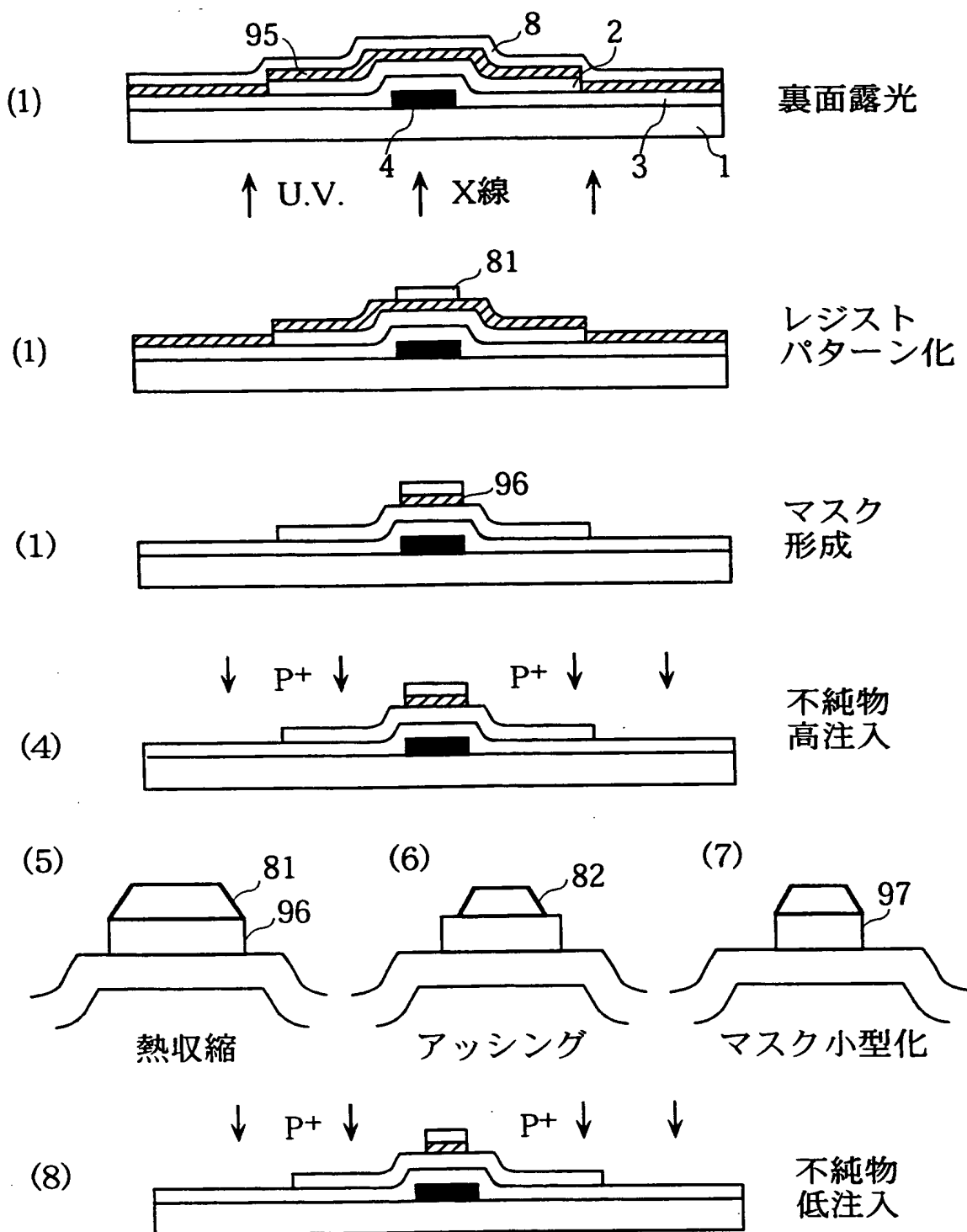




図13

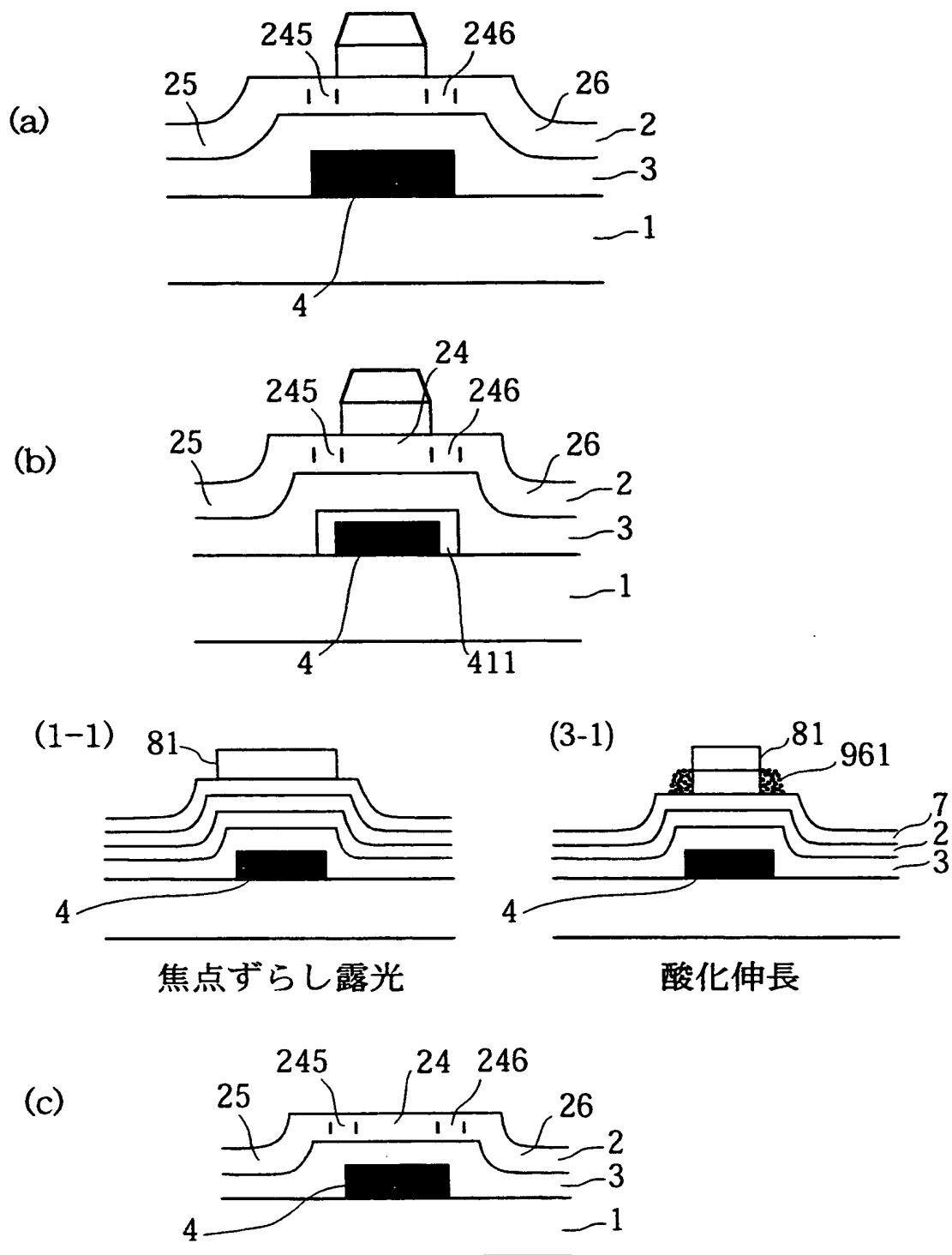


図14

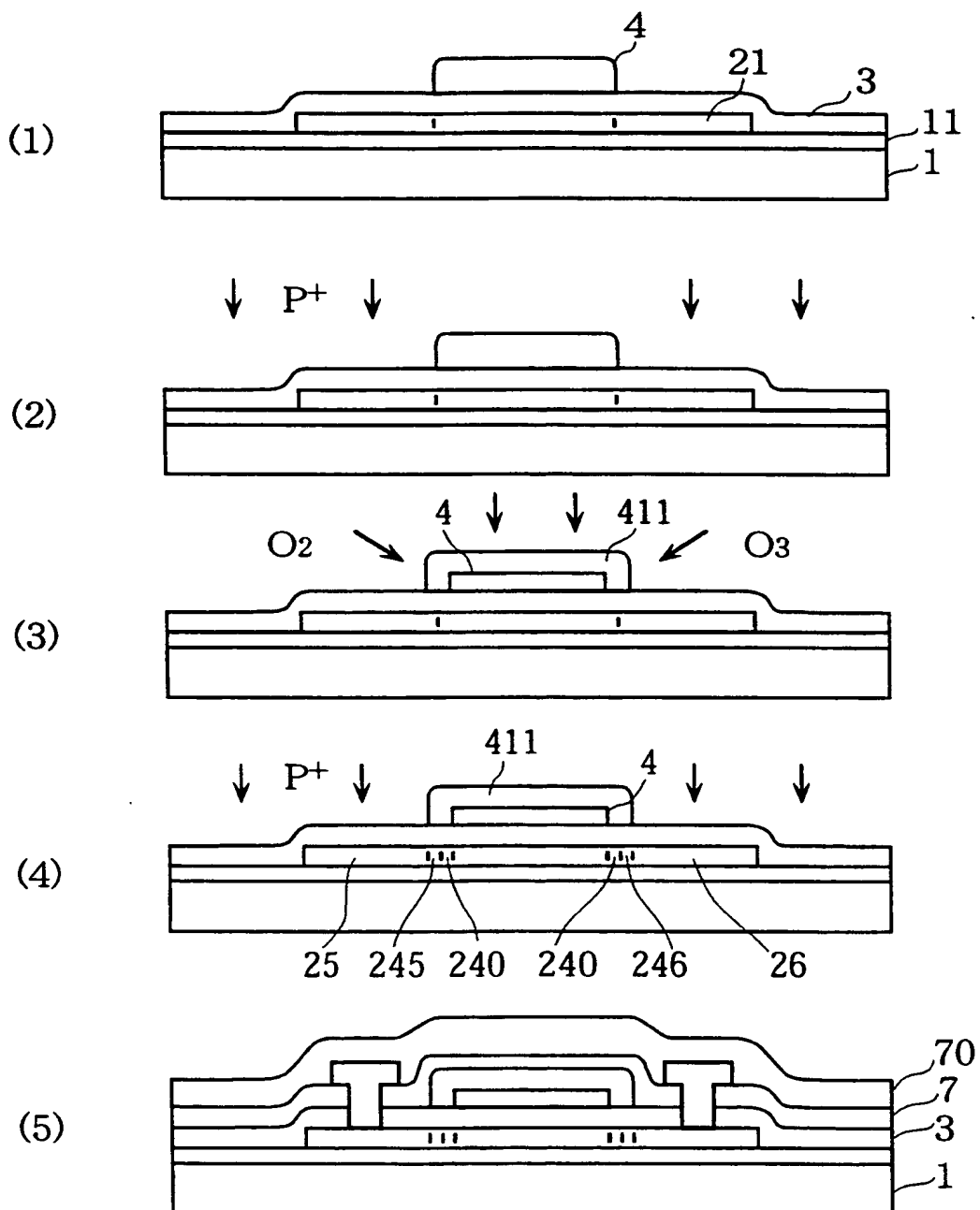




図15

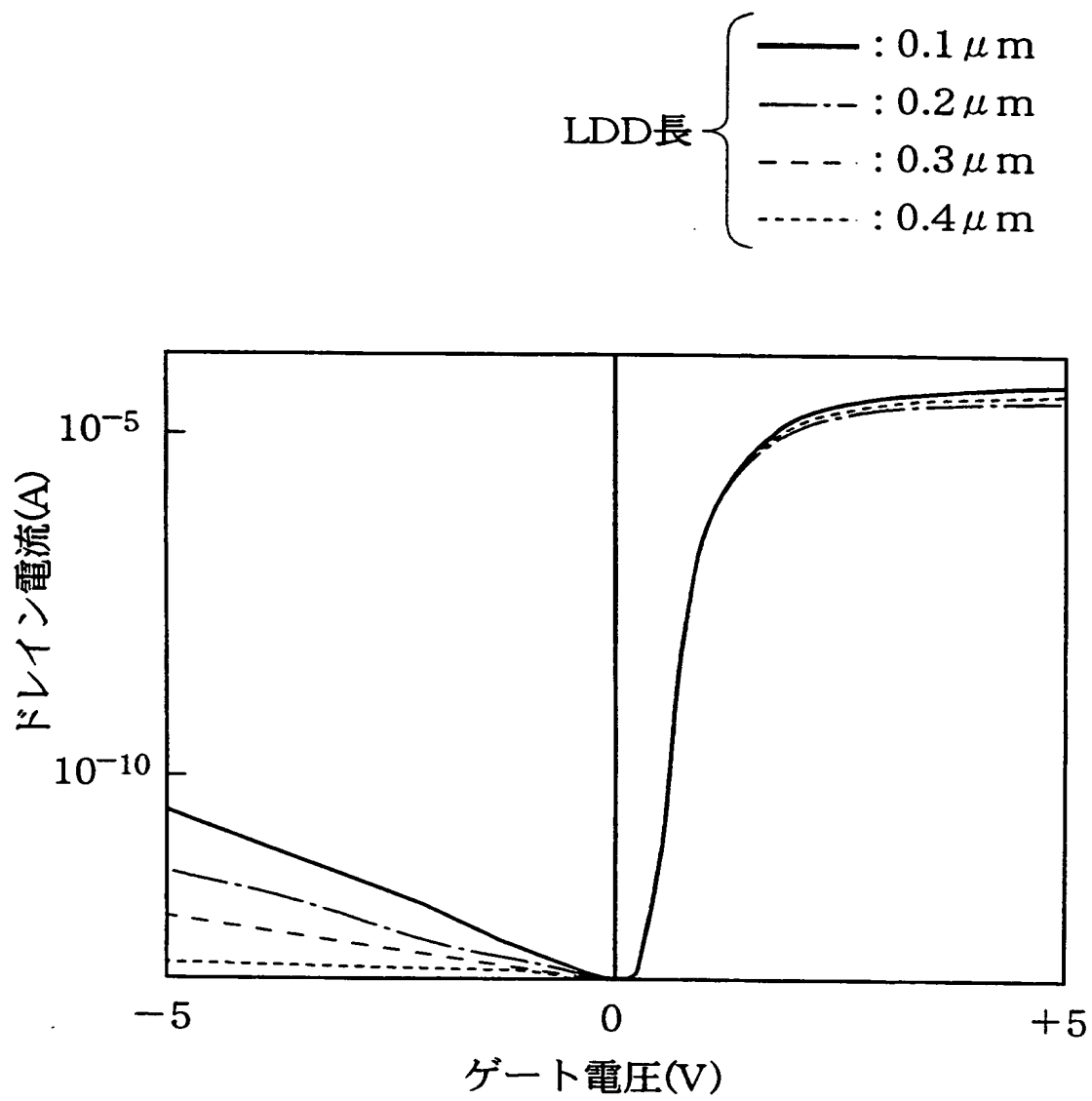


図16

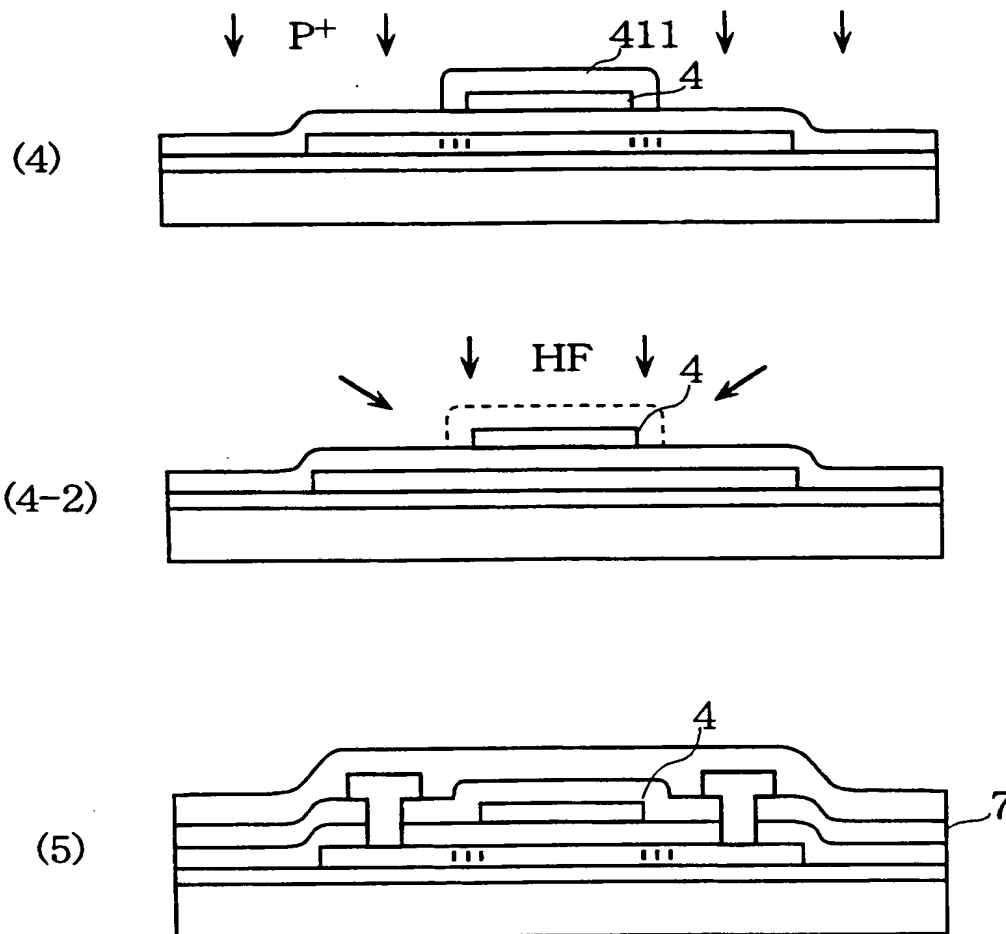




図17

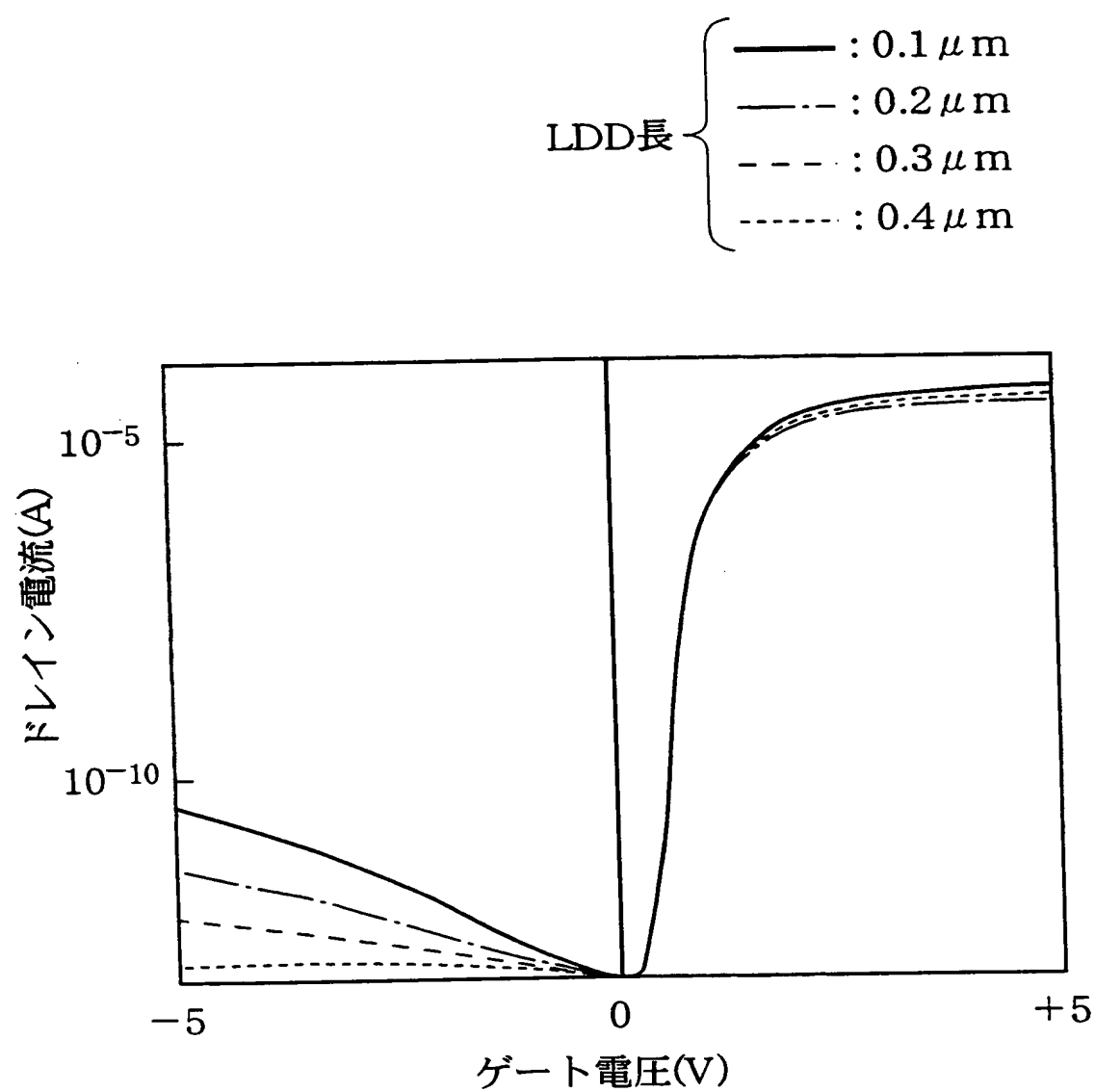




図18

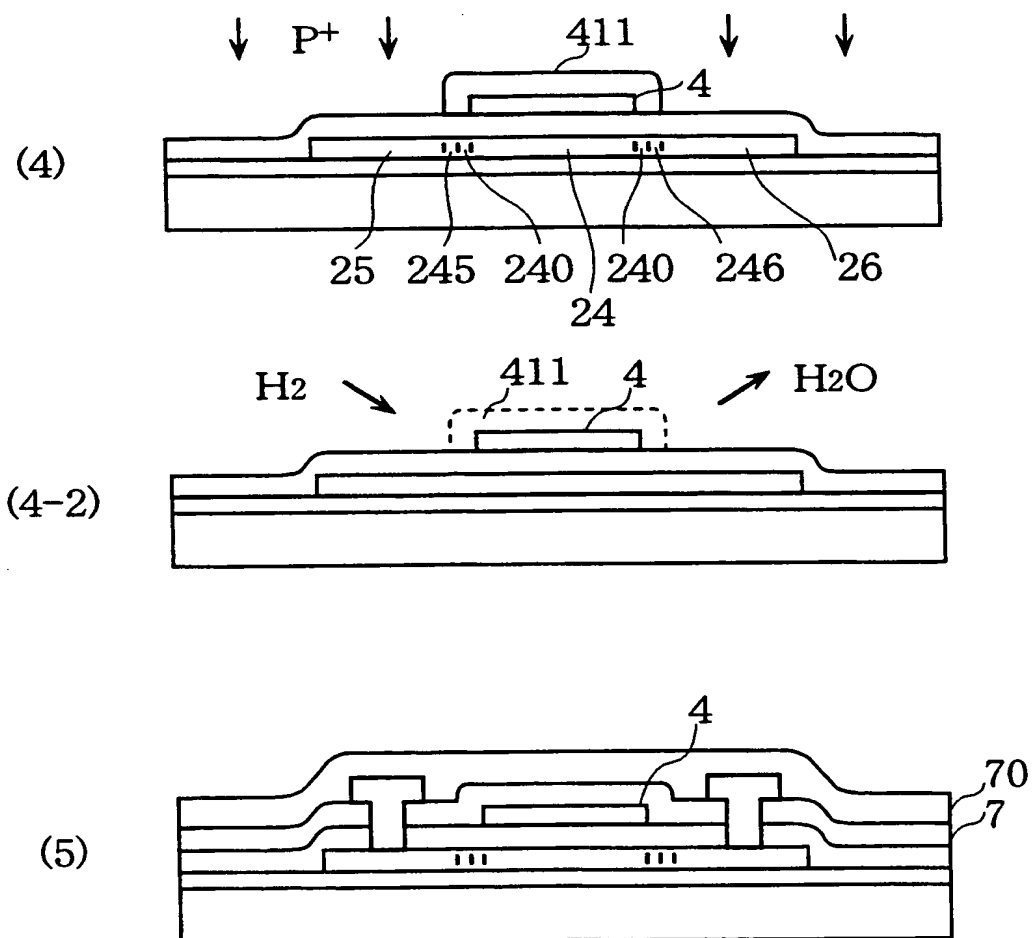




図19

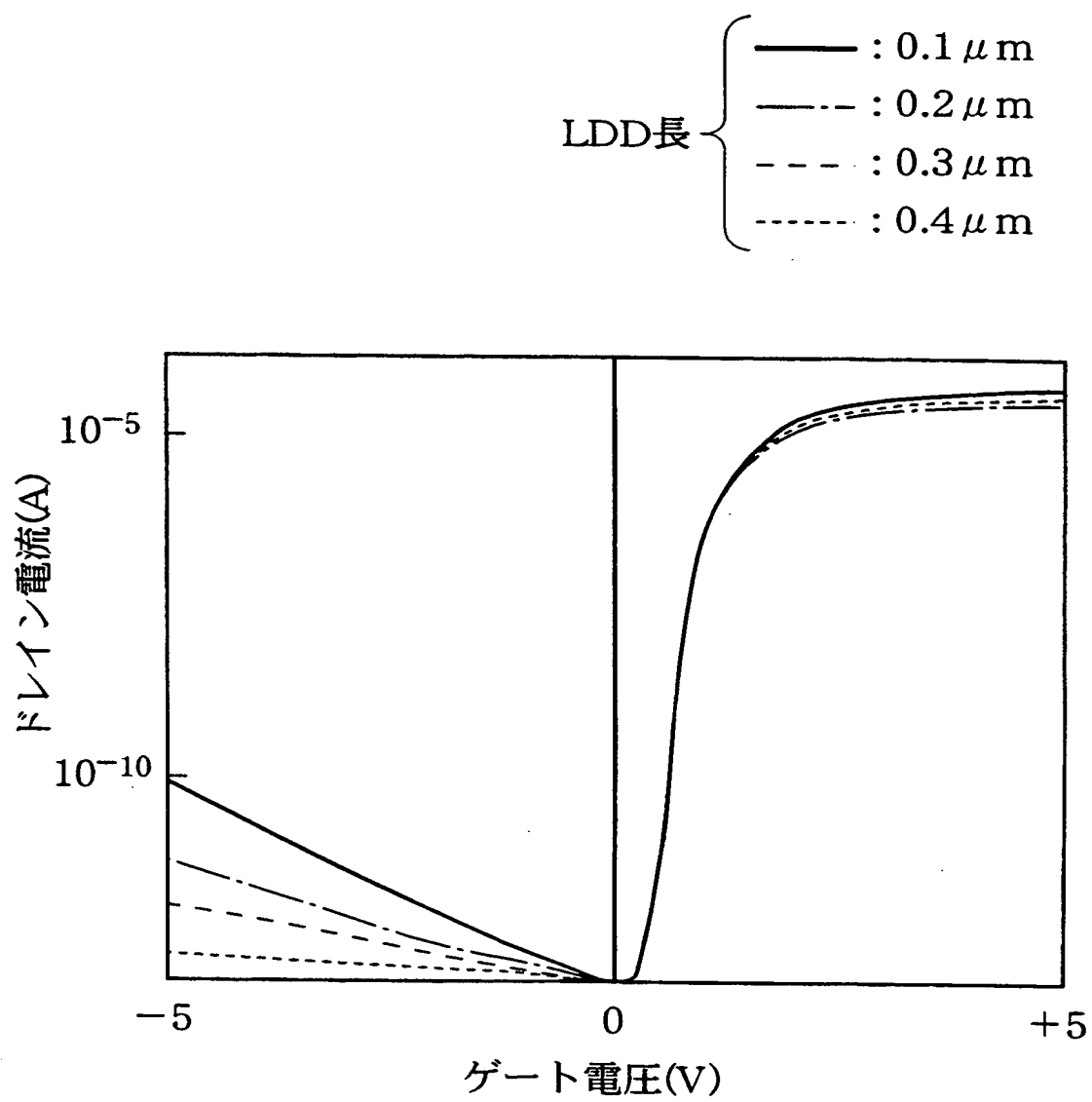




図20

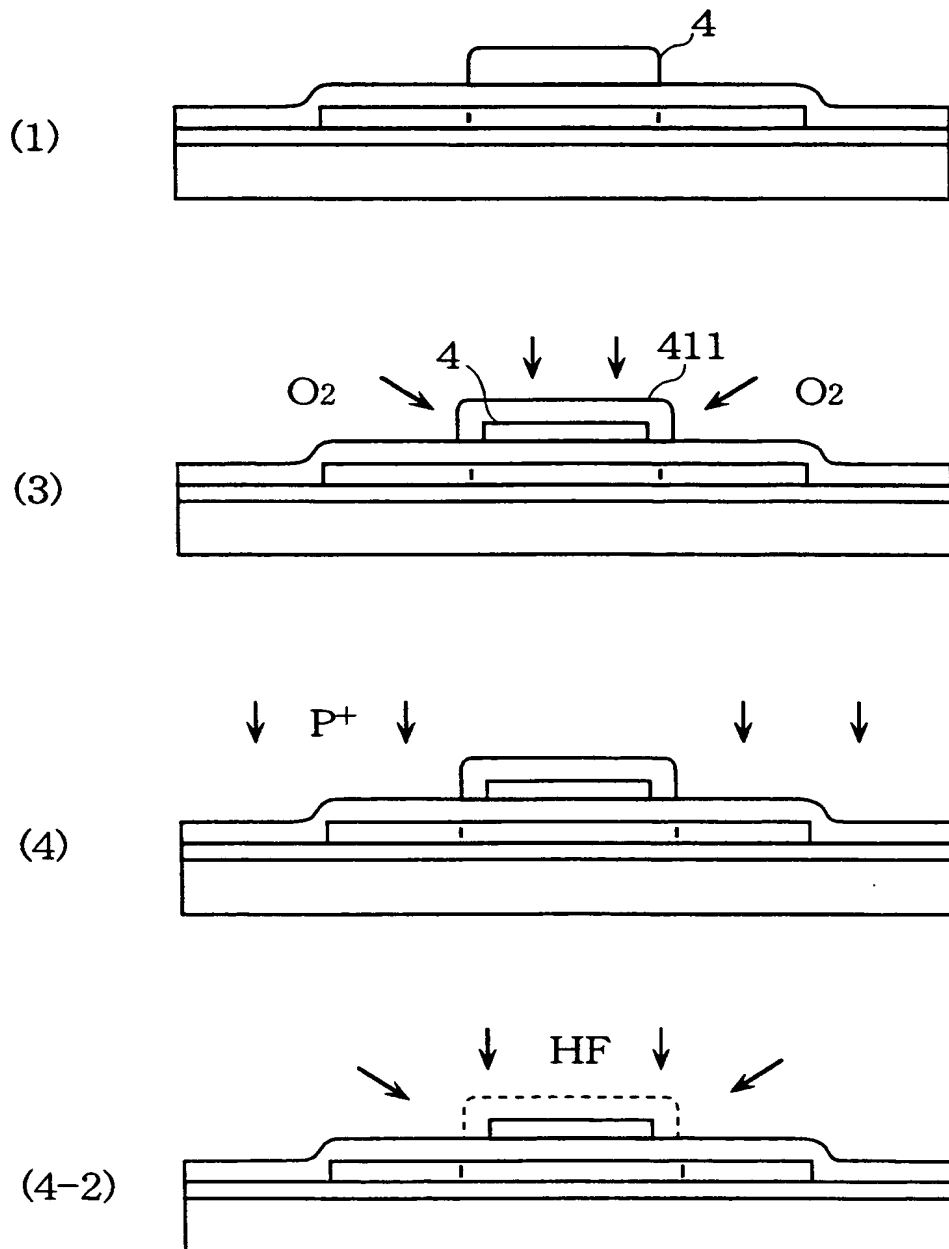




図21

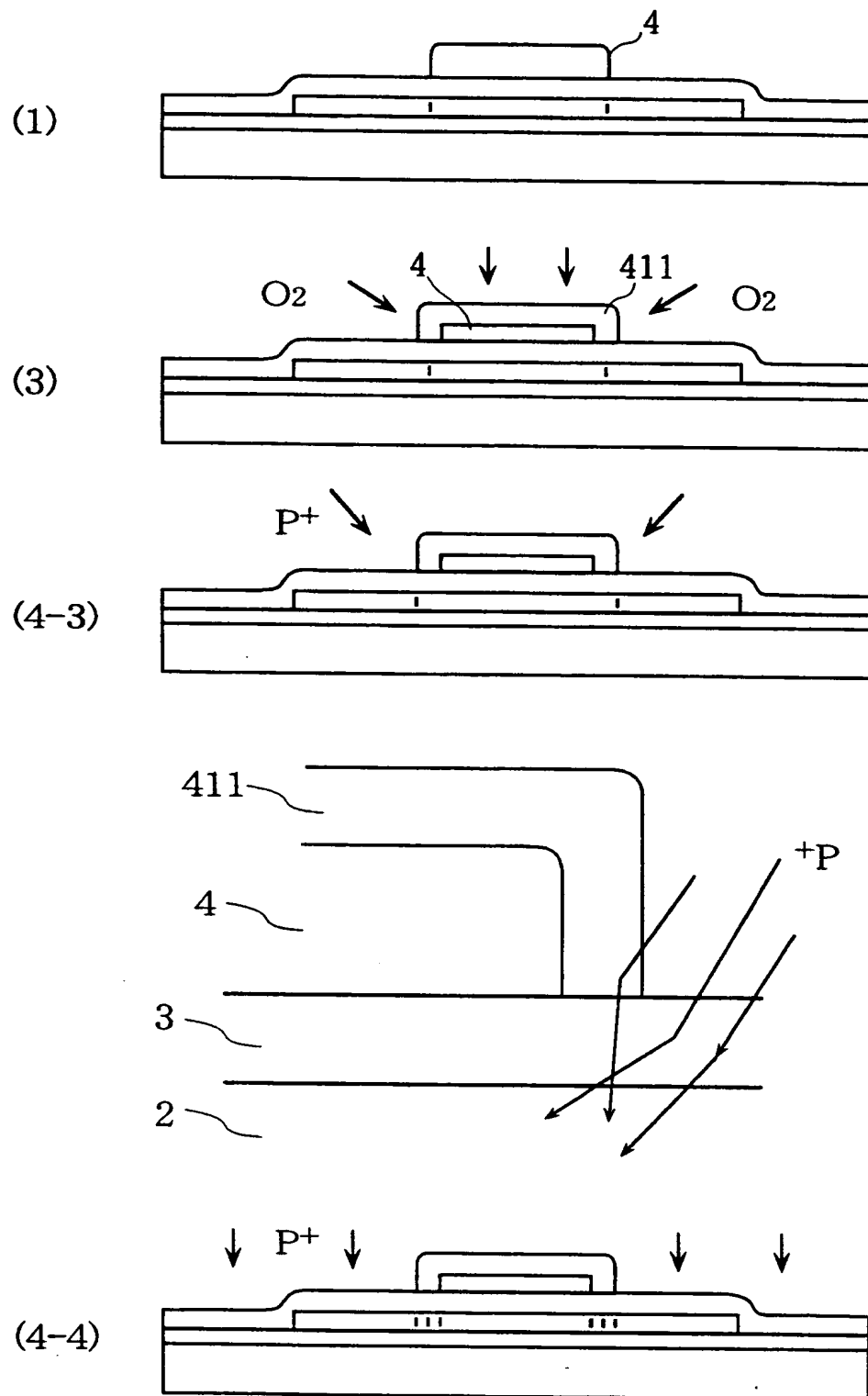




図22

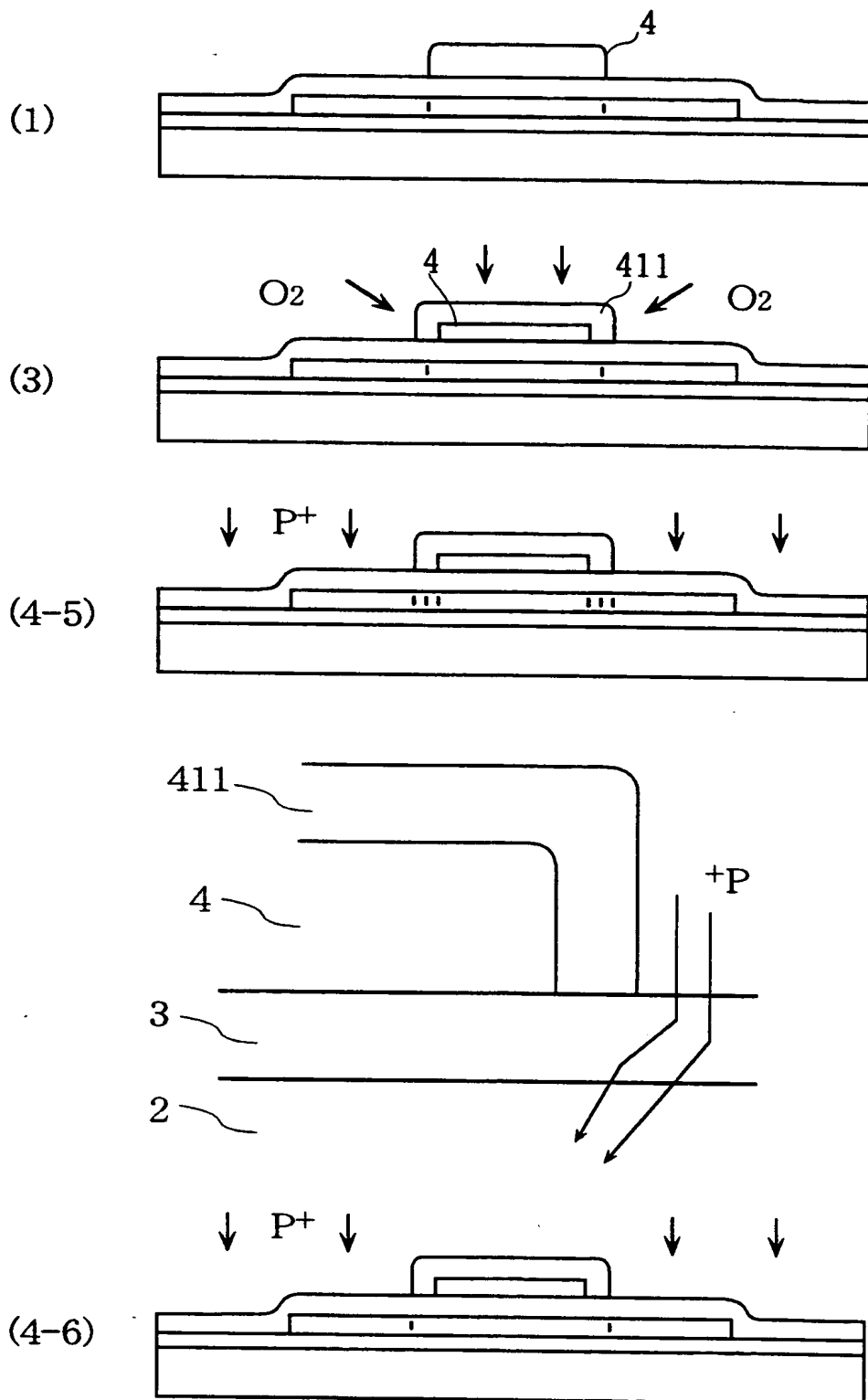




図23

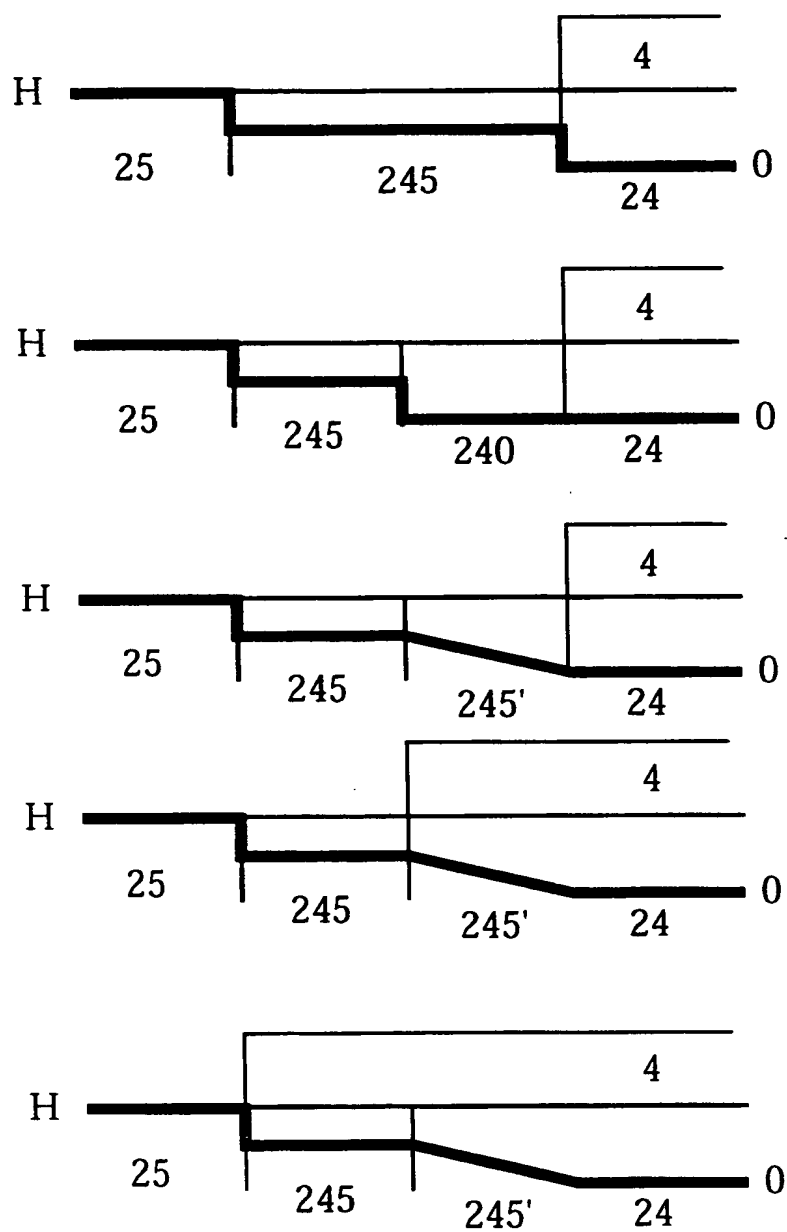




図24

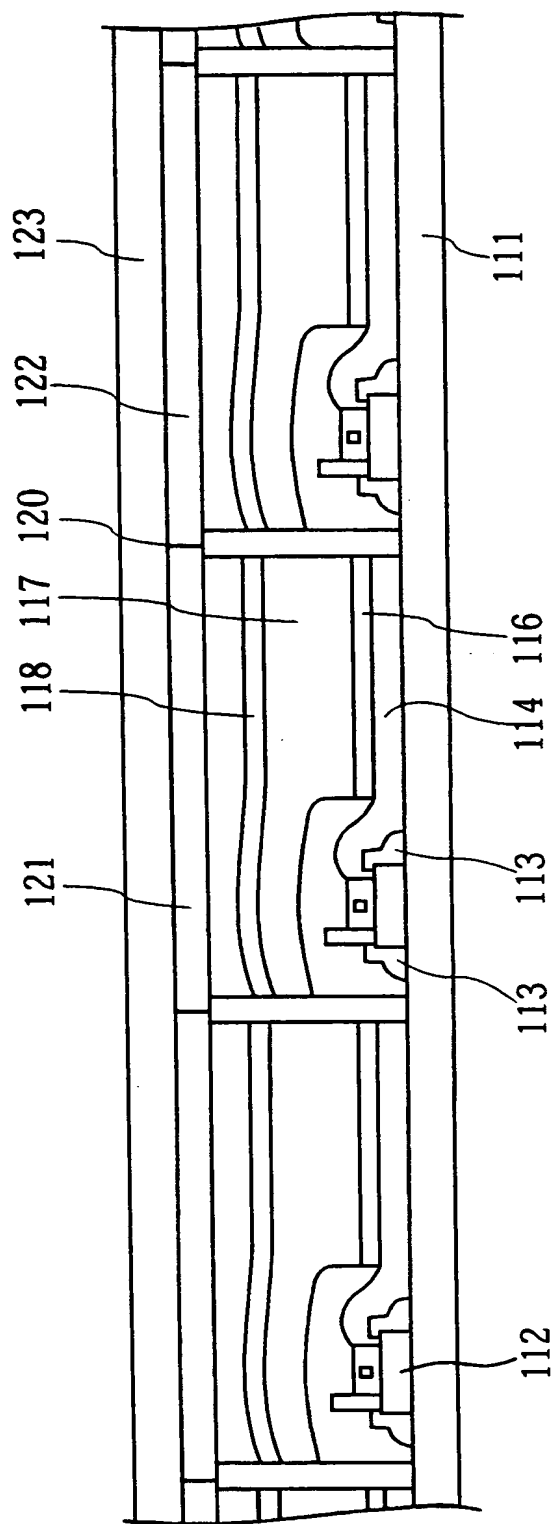
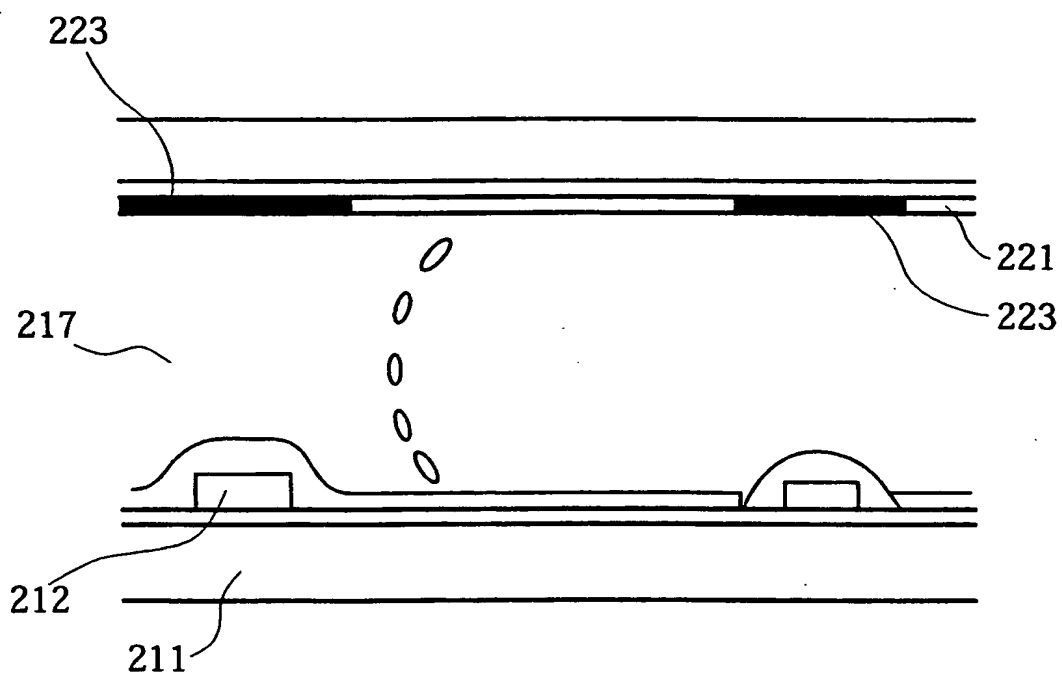


図25





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06261

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L29/786, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 11-163366, A (Toshiba Corporation), 18 June, 1999 (18.06.99), Par. No. [0008] Par. No. [0015] (Family: none)	1, 16, 20-23 30, 32, 33, 36, 40, 48, 50
X	JP, 3-148834, A (Sanyo Electric Co., Ltd.), 25 June, 1991 (25.06.91), page 3, upper left column, line 13 to lower left column, line 16 (Family: none)	1, 16, 20-23
A	US, 5526304, A (Sharp Kabushiki Kaisha), 11 June, 1996 (11.06.96), Full text; Figs. 14 to 16 & JP, 7-183403, A	18-23
A	JP, 8-148691, A (Sony Corporation), 07 June, 1996 (07.06.96), Par. Nos. [0013] to [0017] (Family: none)	18-23
Y	JP, 6-112222, A (Seiko Epson Corporation), 22 April, 1994 (22.04.94),	24-40, 48, 49, 50

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 December, 2000 (22.12.00)

Date of mailing of the international search report
16 January, 2001 (16.01.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06261

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Par. Nos. [0016] to [0037] (Family: none)	
Y	US, 5476802, A (Semiconductor Energy Lab. Co., Ltd.), 19 December, 1995 (19.12.95), Full text; Fig. 8 & JP, 5-55246, A & KR, 9600225, B	24-40,48,49,50
Y	JP, 9-298304, A (Semiconductor Energy Lab. Co., Ltd.), 18 November, 1997 (18.11.97), Par. Nos. [0020] to [0024] & US, 5985701, A & KR, 97076044, A	38
Y	JP, 11-168221, A (Matsushita Electric Industrial Co., Ltd.), 22 June, 1999 (22.06.99), Par. Nos. [0127] to [0135] & US, 6127211, A & CN, 1213849, A & KR, 99036730, A	44,45
Y	JP, 8-32080, A (Semiconductor Energy Lab. Co., Ltd.), 02 February, 1996 (02.02.96), Full text (Family: none)	44
Y	JP, 5-82552, A (Seiko Epson Corporation), 02 April, 1993 (02.04.93), Par. Nos. [0035] to [0047] (Family: none)	46,52

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/786, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-163366, A (株式会社東芝) 18. 6月. 1999 (18. 06. 99) 【0008】	1, 16, 20-23
Y	【0015】 (ファミリーなし)	30, 32, 33, 36, 40, 48, 50
X	J P, 3-148834, A (三洋電機株式会社) 25. 6月. 1991 (25. 06. 91) 第3頁左上欄第13行-左下欄第16行 (ファミリーなし)	1, 16, 20-23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

22. 12. 00

国際調査報告の発送日

16.01.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4 M

2934

電話番号 03-3581-1101 内線 3460

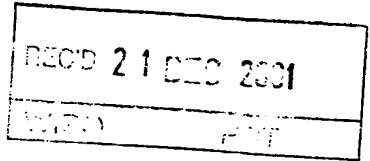
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5 5 2 6 3 0 4, A (Sharp Kabishiki Kaisha) 11. 6月. 1996 (11. 06. 96) 全文, 図14-16 & JP, 7-183403, A	18-23
A	JP, 8-148691, A (ソニー株式会社) 7. 6月. 1996 (07. 06. 96) 【0013】-【0017】 (ファミリーなし)	18-23
Y	JP, 6-112222, A (セイコーエプソン株式会社) 22. 4月. 1994 (22. 04. 94) 【0016】-【0037】 (ファミリーなし)	24-40, 48, 49, 50
Y	US, 5 4 7 6 8 0 2, A (Semiconductor Energy Laboratory Co., Ltd.) 19. 12月. 1995 (19. 12. 95) 全文, 図8 & JP, 5-55246, A & KR, 9600225, B	24-40, 48, 49, 50
Y	JP, 9-298304, A (半導体エネルギー研究所) 18. 11月. 1997 (18. 11. 97) 【0020】-【0024】 & US, 5985701, A & KR, 97076044, A	38
Y	JP, 11-168221, A (松下電器産業株式会社) 22. 6月. 1999 (22. 06. 99) 【0127】-【0135】 & US, 6127211, A & CN, 1213849, A & KR, 99036730, A	44, 45
Y	JP, 8-32080, A (株式会社半導体エネルギー研究所) 2. 2月. 1996 (02. 02. 96) 全文 (ファミリーなし)	44
Y	JP, 5-82552, A (セイコーエプソン株式会社) 2. 4月. 1993 (02. 04. 93) 【0035】-【0047】 (ファミリーなし)	46, 52

PCT

国際予備審査報告

(法第12条、法施行規則第56条)

〔PCT36条及びPCT規則70〕



出願人又は代理人 の書類記号 P 2 3 6 5 1 - P 0	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 0 0 / 0 6 2 6 1	国際出願日 (日.月.年) 1 3 . 0 9 . 0 0	優先日 (日.月.年) 1 6 . 0 9 . 9 9
国際特許分類 (IPC) Int. Cl. ⁷ H 0 1 L 2 9 / 7 8 6 , H 0 1 L 2 1 / 3 3 6		
出願人 (氏名又は名称) 松下電器産業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
- この附属書類は、全部で 2 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 1 4 . 0 3 . 0 1	国際予備審査報告を作成した日 0 7 . 1 2 . 0 1	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 國島 明弘 電話番号 03-3581-1101 内線 3460	4 M 2 9 3 4

様式PCT/IPEA/409 (表紙) (1998年7月)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-42 ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2-52 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 1 項、 21.06.01 付の書簡と共に提出されたもの

☒ 図面 第 1-25 ページ/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)



V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲 1-52

有

請求の範囲

無

進歩性(IS)

請求の範囲 2-15, 17-19, 37, 41-43, 51

有

請求の範囲 1, 16, 20-36, 38-40, 44-50, 52

無

産業上の利用可能性(IA)

請求の範囲 1-52

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

[請求の範囲1, 16, 20-23]

文献1: JP 11-163366 A (株式会社東芝)

18. 6月. 1999 (18. 06. 99)

段落番号【0008】

には、レジストをポストバークすることが記載されていないが、レジストをポストバークすることは一般的に行われていることである。

[請求の範囲1, 16, 20-23]

文献2: JP 3-148834 A (三洋電機株式会社)

25. 6月. 1991 (25. 06. 91)

第3頁左上欄第13行-左下欄第16行)

に記載された発明を、薄膜トランジスタに適用することは、当業者であれば容易に想到し得るものである。また、レジストをポストバークすることは一般的に行われていることである。

[請求の範囲24-29, 31, 34, 35, 47]

文献3: JP 6-112222 A (セイコーエプソン株式会社)

22. 4月. 1994 (22. 04. 94)

段落番号【0016】-【0037】

には、ゲート電極及び酸化膜の厚さが記載されていないが、この値は、当業者が適宜決定し得る設計事項にすぎない。

[請求の範囲24-29, 31, 34, 35, 47]

文献4: US 5476802 A

(Semiconductor Energy Laboratory Co., Ltd.)

19. 12月. 1995 (19. 12. 95) 全文, 図8

& JP, 5-55246, A & KR, 9600225, B

には、500nmの厚さのポリシリコンからなるゲート電極が記載されているが、ゲート電極の厚さは、ゲート電極の材料や、抵抗の値などを考慮して、当業者が適宜決定し得る設計事項にすぎない。



補充欄 (いずれかの欄の大きさが足りない場合に使用すること)

第 V 欄の続き

[請求の範囲30, 32, 36, 48]

文献1～4には、MoW合金の組成比について記載されていないが、ゲート電極として15～50原子%のMoとWの合金を採用することは、当業者であれば容易に想到し得るものである。

[請求の範囲33]

文献1～4には、低濃度な不純物領域の電気抵抗について記載されていないが、低濃度な不純物領域の電気抵抗は、薄膜トランジスタが必要とする特性などを考慮して、当業者が適宜決定し得る設計事項にすぎない。

[請求の範囲38-40, 49, 50]

文献5: JP 9-298304 A (半導体エネルギー研究所)

18. 11月. 1997 (18. 11. 97)

段落番号【0020】-【0024】

には、反応膜の厚さが記載されていないが、この値は、薄膜トランジスタが必要とする特性などを考慮して、当業者が適宜決定し得る設計事項にすぎない。

[請求の範囲44, 45]

文献6: JP 11-168221 A (松下電器産業株式会社)

22. 6月. 1999 (22. 06. 99)

段落番号【0127】-【0135】

には、ゲート電極の材料、ゲート電極及び酸化膜の厚さがついて記載されていないが、ゲート電極として金属膜を採用することは、当業者であれば容易に想到し得るものであり、その際にゲート電極及び酸化膜の厚さを設定することは、当業者が適宜決定しうる程度の事項にすぎない。

[請求の範囲44]

文献7: JP 8-32080 A (株式会社半導体エネルギー研究所)

2. 2月. 1996 (02. 02. 96) 全文

には、酸化膜の厚さが記載されていないが、この値は、薄膜トランジスタが必要とする特性などを考慮して、当業者が適宜決定し得る設計事項にすぎない。

[請求の範囲46, 52]

文献8: JP 5-82552 A (セイコーエプソン株式会社)

2. 4月. 1993 (02. 04. 93)

段落【0035】-【0047】

には、150nmの厚さのゲート電極が記載されているが、ゲート電極の厚さは、ゲート電極の材料や、抵抗の値などを考慮して、当業者が適宜決定し得る設計事項にすぎない。

請 求 の 範 囲

1. (補正後)、フォトリソグラフィとポストベークにより硬化され、パターニングされたレジストを使用してゲート電極形成用金属膜より仮のゲート電極を形成する仮のゲート電極形成ステップと、

5 仮のゲート電極の形成に使用したレジストが上部に在る状態で仮のゲート電極をマスクに半導体層に高濃度で不純物を注入する第1回目の不純物注入ステップと、

10 エッチングによりレジストのチャネル方向両端面を中心寄りに後退させて、仮のゲート電極のチャネル方向両端部の表面を露出させる孤立レジストエッチングステップと、

残ったレジストをマスクに露出した仮のゲート電極の両端部をエッチングで除去する仮のゲート電極両端除去ステップと、

15 仮のゲート電極の両端を除去されて形成されたゲート電極をマスクに半導体層に低濃度で不純物を注入する第2回目の不純物注入ステップとを有していることを特徴とするLDD構造の薄膜トランジスタの製造方法。

20 2. ゲート電極形成用金属膜のパターニングを行うためゲート電極に対応する位置に形成されたレジストのゲート電極部チャネル方向側面を、下拡がりのテーパーを有する形状に加工するレジスト端側面加工ステップと、

テーパー形状に加工されたレジストをマスクにゲート電極形成用金属膜をエッチングして仮のゲート電極を形成する仮のゲート電極形成ステップと、

25 端面がテーパー形状のレジスト下部に仮のゲート電極が形成された状態で仮のゲート電極をマスクに半導体層に高濃度に不純物を注入する第1回目の不純物注入ステップと、

端面がテーパ形状のレジスト下部にエッチングにより中心寄り

37
Translation**PATENT COOPERATION TREATY****PCT****INTERNATIONAL PRELIMINARY EXAMINATION REPORT**

(PCT Article 36 and Rule 70)

TECHNOLOGY CENTER
JUL 23 2000
RECEIVED
10/08/2000

Applicant's or agent's file reference P23651-P0	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/418)	
International application No. PCT/JP00/06261	International filing date (day/month/year) 13 September 2000 (13.09.00)	Priority date (day/month/year) 16 September 1999 (16.09.99)
International Patent Classification (IPC) or national classification and IPC H01L 29/786, 21/336		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 5 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 2 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

RECEIVED
AUG 12 2002

Date of submission of the demand 14 March 2001 (14.03.01)	Date of completion of this report 07 December 2001 (07.12.2001)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP00/06261

I. Basis of the report

1. With regard to the **elements** of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____ 1-42 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☒ the claims:
pages _____ 2-52 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 1 _____, filed with the letter of _____ 21 June 2001 (21.06.2001)
- ☒ the drawings:
pages _____ 1-25 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP 00/06261

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-52	YES
	Claims		NO
Inventive step (IS)	Claims	2-15, 17-19, 37, 41-43, 51	YES
	Claims	1, 16, 20-36, 38-40, 44-50, 52	NO
Industrial applicability (IA)	Claims	1-52	YES
	Claims		NO

2. Citations and explanations

Claims 1, 16, and 20 to 23

Document 1: JP, 11-163366, A (Toshiba Corp.), 18 June 1999 (18.06.99), paragraph [0008]

Document 1 does not disclose post-baking of a resist, but post-baking of a resist is standard practice.

Claims 1, 16, and 20 to 23

Document 2: JP, 3-148834, A (Sanyo Electric Co., Ltd.), 25 June 1991 (25.06.91), p. 3, upper left column, line 13 to lower left column, line 16

A person skilled in the art could easily conceive of applying the invention disclosed in Document 2 to a thin-film transistor. Moreover, post-baking of a resist is standard practice.

Claims 24 to 29, 31, 34, 35, and 47

Document 3: JP, 6-112222, A (Seiko Epson Corp.), 22 April 1994 (22.04.94), paragraphs [0016]-[0037]

Document 3 does not disclose the thickness of a gate electrode and an oxide film, but these values are merely design features fittingly determined by a person skilled in the art.

Claims 24 to 29, 31, 34, 35, and 47

Document 4: US, 5476802, A (Semiconductor Energy Laboratory Co., Ltd.), 19 December 1995 (19.12.95), entire text, Fig. 8, & JP, 5-55246, A, & KR, 9600225, B

Document 4 discloses a gate electrode comprising a polysilicon with a thickness of 500 nm. However, gate electrode thickness is merely a design feature fittingly determined by a person skilled in the art in the light of considerations such as the gate electrode material or resistance values.

Claims 30, 32, 36, and 48

Documents 1 to 4 do not disclose composition ratios for a molybdenum and tungsten alloy, but a person skilled in the art could easily conceive of adopting a molybdenum and tungsten alloy containing a molybdenum concentration of 15-50 atomic percent as a gate electrode.

Claim 33

Documents 1 to 4 do not make disclosures pertaining to electrical resistance in a region with a low concentration of impurities, but electrical resistance in a region with a low concentration of impurities is merely a design feature fittingly determined by a person skilled in the art in the light of the attributes required of a thin-film transistor.

Claims 38 to 40, 49, and 50

Document 5: JP, 9-298304, A (Semiconductor Energy Laboratory Co., Ltd.), 18 November 1997 (18.11.97), paragraphs [0020]-[0024]

Document 5 does not disclose the thickness of a reaction film, but this value is merely a design feature fittingly determined by a person skilled in the art in the light of the attributes required of a thin-film

transistor.

Claims 44 and 45

Document 6: JP, 11-168221, A (Matsushita Electric Industrial Co., Ltd.), 22 June 1999 (22.06.99), paragraphs [0127]-[0135]

Document 6 does not disclose the material for a gate electrode, or the thickness of a gate electrode and an oxide film, but a person skilled in the art could easily conceive of adopting a metal layer as a gate electrode, and in such a case, setting the thickness of the gate electrode and an oxide film is merely a design feature fittingly determined by a person skilled in the art.

Claim 44

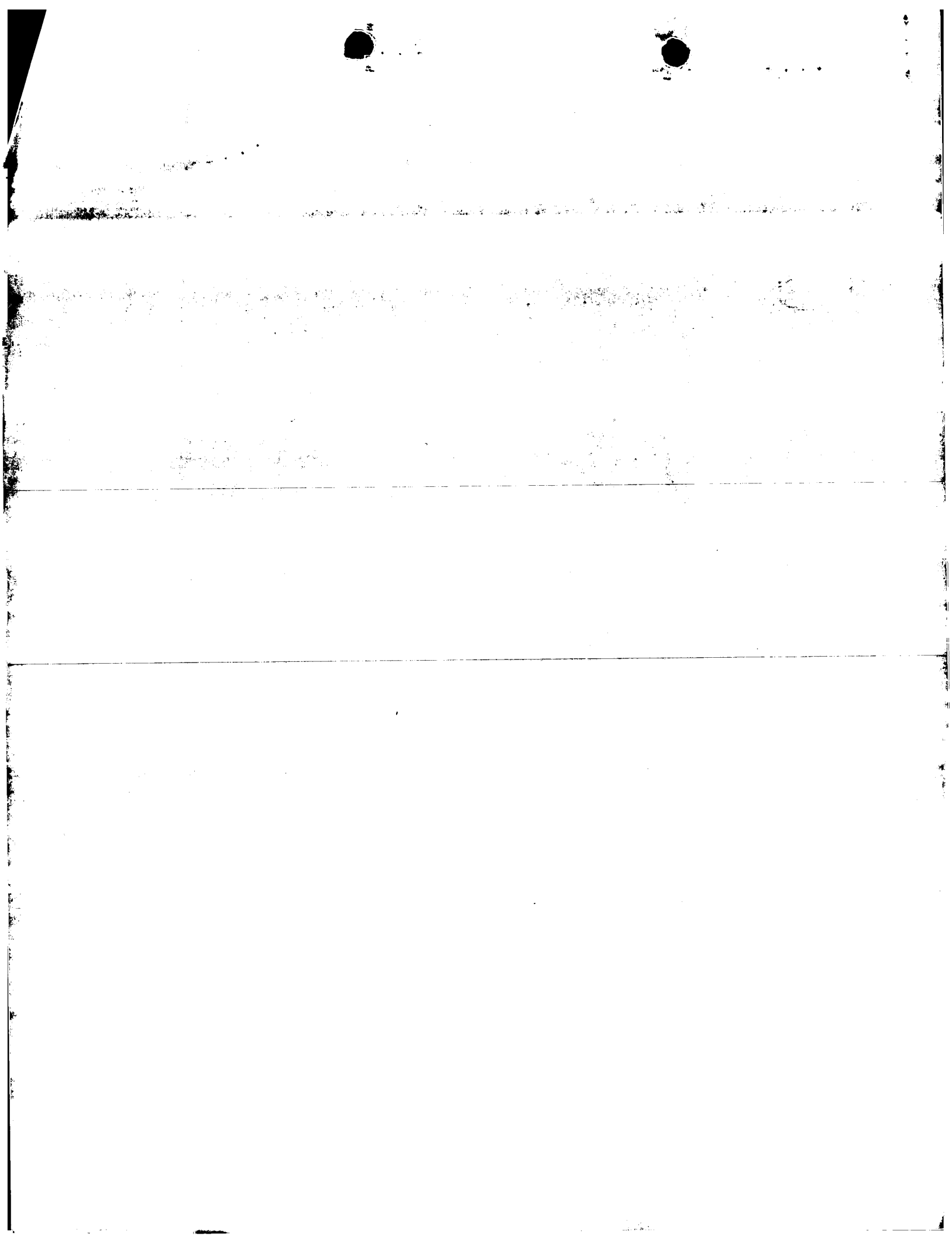
Document 7: JP, 8-32080, A (Semiconductor Energy Laboratory Co., Ltd.), 2 February 1996 (02.02.96), entire text

Document 7 does not disclose the thickness of an oxide film, but this value is merely a design feature fittingly determined by a person skilled in the art in the light of the attributes required of a thin-film transistor.

Claims 46 and 52

Document 8: JP, 5-82552, A (Seiko Epson Corp.), 2 April 1993 (02.04.93), paragraphs [0035]-[0047]

Document 8 discloses a gate electrode with a thickness of 150 nm, but gate electrode thickness is merely a design feature fittingly determined by a person skilled in the art in the light of considerations such as the gate electrode material or resistance values.





P C T

国際調査報告

(法 8 条、法施行規則第40、41条)
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 P 2 3 6 5 1 - P 0	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 6 2 6 1	国際出願日 (日.月.年) 1 3 . 0 9 . 0 0	優先日 (日.月.年) 1 6 . 0 9 . 9 9
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 6(1)-(6) 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/786, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 11-163366, A (株式会社東芝) 18. 6月. 1999 (18. 06. 99) 【0008】	1, 16, 20-23
Y	【0015】 (ファミリーなし)	30, 32, 33, 36, 40, 48, 50
X	JP, 3-148834, A (三洋電機株式会社) 25. 6月. 1991 (25. 06. 91) 第3頁左上欄第13行-左下欄第16行 (ファミリーなし)	1, 16, 20-23

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

22. 12. 00

国際調査報告の発送日

16.01.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

井原 純

4M

2934

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5 5 2 6 3 0 4, A (Sharp Kabishiki Kaisha) 11. 6月. 1996 (11. 06. 96) 全文, 図14-16 & J P, 7-183403, A	18-23
A	J P, 8-148691, A (ソニー株式会社) 7. 6月. 1996 (07. 06. 96) 【0013】-【0017】 (ファミリーなし)	18-23
Y	J P, 6-112222, A (セイコーエプソン株式会社) 22. 4月. 1994 (22. 04. 94) 【0016】-【0037】 (ファミリーなし)	24-40, 48, 49, 50
Y	US, 5 4 7 6 8 0 2, A (Semiconductor Energy Laboratory Co., Ltd.) 19. 12月. 1995 (19. 12. 95) 全文, 図8 & J P, 5-55246, A & K R, 9600225, B	24-40, 48, 49, 50
Y	J P, 9-298304, A (半導体エネルギー研究所) 18. 11月. 1997 (18. 11. 97) 【0020】-【0024】 & US, 5985701, A & K R, 97076044, A	38
Y	J P, 11-168221, A (松下電器産業株式会社) 22. 6月. 1999 (22. 06. 99) 【0127】-【0135】 & US, 6127211, A & C N, 1213849, A & K R, 99036730, A	44, 45
Y	J P, 8-32080, A (株式会社半導体エネルギー研究所) 2. 2月. 1996 (02. 02. 96) 全文 (ファミリーなし)	44
Y	J P, 5-82552, A (セイコーエプソン株式会社) 2. 4月. 1993 (02. 04. 93) 【0035】-【0047】 (ファミリーなし)	46, 52

特許協力条約に基づく国際出願願書

P23651-P0

原本（出願用） - 印刷日時 2000年09月12日（12.09.2000）火曜日 14時20分12秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 01.07.2000)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	P23651-P0
I	発明の名称	薄膜トランジスタ及びその製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	松下電器産業株式会社
II-4en	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名:	571-8501 日本国 大阪府 門真市 大字門真1006番地
II-5en	Address:	1006, Oaza-Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	06-6908-5831
II-9	ファクシミリ番号	06-6906-8166
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名(姓名)	竹橋 信逸
III-1-4en	Name (LAST, First)	TAKEHASHI, Shin-itsu
III-1-5ja	あて名:	575-0021 日本国 大阪府 四條畷市 南野2-17-12-205
III-1-5en	Address:	2-17-12-205 Minamino Shijonawate-shi, Osaka 575-0021 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

P23651-P0

原本（出願用） - 印刷日時 2000年09月12日（12.09.2000）火曜日 14時20分12秒

III-2	その他の出願人又は発明者	出願人である (applicant only) 米国を除くすべての指定国 (all designated States except US) 河北 哲郎 KAWAKITA, Tetsuo 610-0352 日本国 京都府 京田辺市 花住坂3-5-10 3-5-10 Kasumisaka kyotanabe-shi, Kyoto 610-0352 Japan 日本国 JP 日本国 JP
III-2-1	この欄に記載した者は	
III-2-2	右の指定国についての出願人である。	
III-2-4ja	氏名(姓名)	
III-2-4en	Name (LAST, First)	
III-2-5ja	あて名:	
III-2-5en	Address:	
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	
III-3	その他の出願人又は発明者	出願人である (applicant only) 米国を除くすべての指定国 (all designated States except US) 武富 義尚 TAKETOMI, Yoshinao 610-0357 日本国 京都府 京田辺市 山手東1-16-13 1-16-13 Yamatehigashi Kyotanabe-shi, Kyoto 610-0357 Japan 日本国 JP 日本国 JP
III-3-1	この欄に記載した者は	
III-3-2	右の指定国についての出願人である。	
III-3-4ja	氏名(姓名)	
III-3-4en	Name (LAST, First)	
III-3-5ja	あて名:	
III-3-5en	Address:	
III-3-6	国籍 (国名)	日本国 JP
III-3-7	住所 (国名)	
III-4	その他の出願人又は発明者	出願人である (applicant only) 米国を除くすべての指定国 (all designated States except US) 筒 博司 TSUTSU, Hiroshi 534-0016 日本国 大阪府 大阪市 都島区友渚町1-5-7-1011 1-5-7-1011 Tomobuchicho, Miyakojima-ku Osaka-shi, Osaka 534-0016 Japan 日本国 JP 日本国 JP
III-4-1	この欄に記載した者は	
III-4-2	右の指定国についての出願人である。	
III-4-4ja	氏名(姓名)	
III-4-4en	Name (LAST, First)	
III-4-5ja	あて名:	
III-4-5en	Address:	
III-4-6	国籍 (国名)	日本国 JP
III-4-7	住所 (国名)	

特許協力条約に基づく国際出願願書

原本（出願用） - 印刷日時 2000年09月12日（12.09.2000）火曜日 14時20分12秒

P23651-PO

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)	
IV-1-1ja	氏名(姓名)	大前 要	
IV-1-1en	Name (LAST, First)	OHMAE, Kaname	
IV-1-2ja	あて名:	540-0037 日本国 大阪府 大阪市中央区 内平野町2-3-14 ライオンズビル大手前 2 階	
IV-1-2en	Address:	2F, Lions Bldg. Ohtemae 2-3-14, Uchihiranomachi Chuo-ku, Osaka-shi, Osaka 540-0037 Japan	
IV-1-3	電話番号	06-6946-3591	
IV-1-4	ファクシミリ番号	06-6946-3593	
V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	--	
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN KR US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国内出願に基づく優先権主張		
VI-1-1	先の出願日	1999年09月16日 (16.09.1999)	
VI-1-2	先の出願番号	特願平11-262119	
VI-1-3	国名	日本国 JP	
VI-2	先の国内出願に基づく優先権主張		
VI-2-1	先の出願日	1999年09月30日 (30.09.1999)	
VI-2-2	先の出願番号	特願平11-278687	
VI-2-3	国名	日本国 JP	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	42	-
VIII-3	請求の範囲	16	-
VIII-4	要約	1	p23651-p0.txt
VIII-5	図面	25	-
VIII-7	合計	88	



[Illegible text block]

[Illegible text block]


[Illegible text block]

[Illegible text block]

特許協力条約に基づく国際出願願書

P23651-P0

原本（出願用） - 印刷日時 2000年09月12日（12.09.2000）火曜日 14時20分12秒

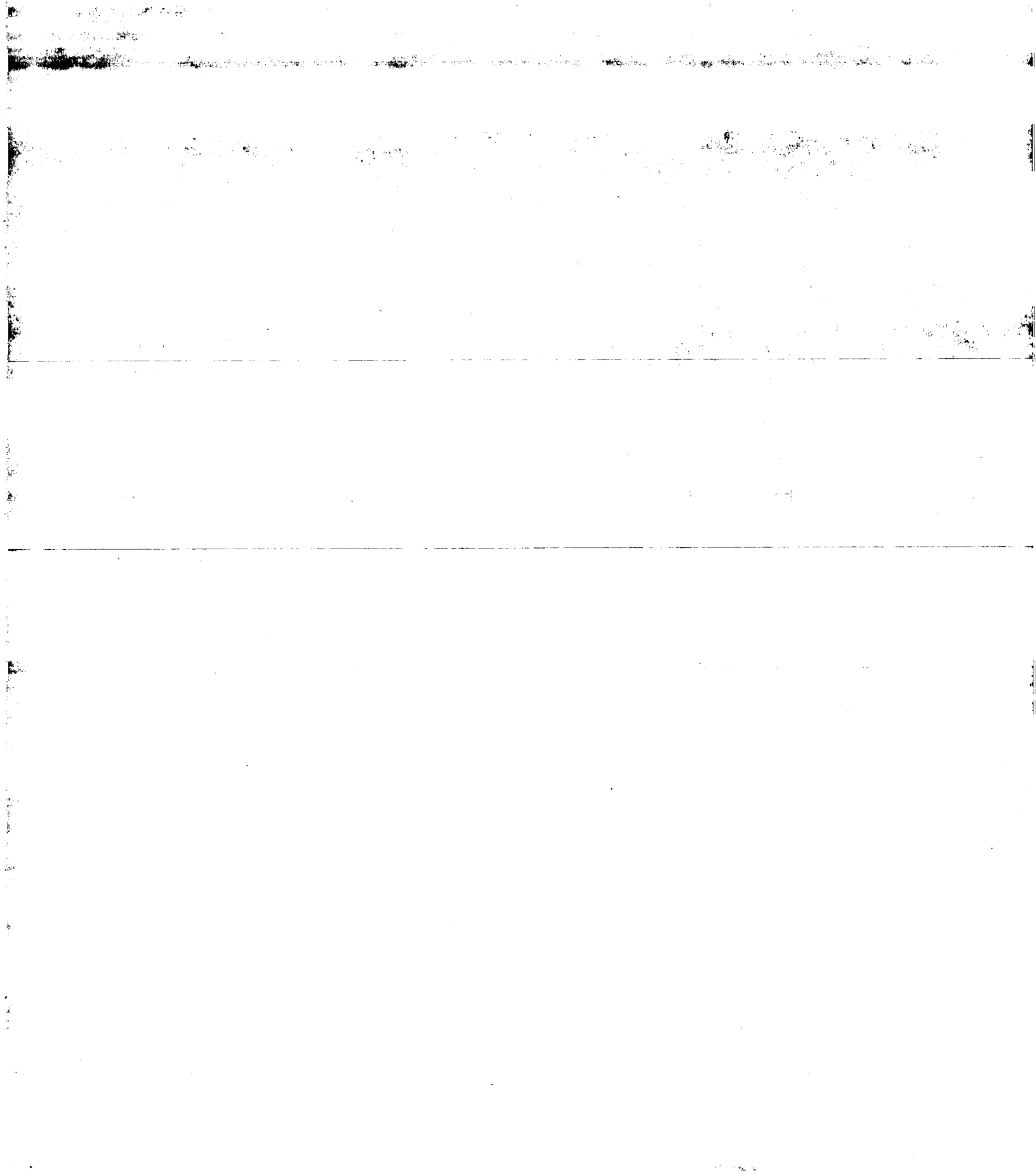
	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-18	要約書とともに提示する図の番号	6	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	大前 要	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--



PATENT COOPERATION TREATY

PCT

NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
Lions Building Ohtemae
2nd Floor
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi
Osaka 540-0037
JAPON



Date of mailing (day/month/year) 17 October 2000 (17.10.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P23651-P0 (P200035/PCT)	International application No. PCT/JP00/06261

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al (for all designated States
except US)

TAKEHASHI, Shin-itsu (for US)

International filing date : 13 September 2000 (13.09.00)
Priority date(s) claimed : 16 September 1999 (16.09.99)
30 September 1999 (30.09.99)

Date of receipt of the record copy
by the International Bureau : 03 October 2000 (03.10.00)

List of designated Offices :

National : CN, KR, US

ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
- ☒ confirmation of precautionary designations
- ☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

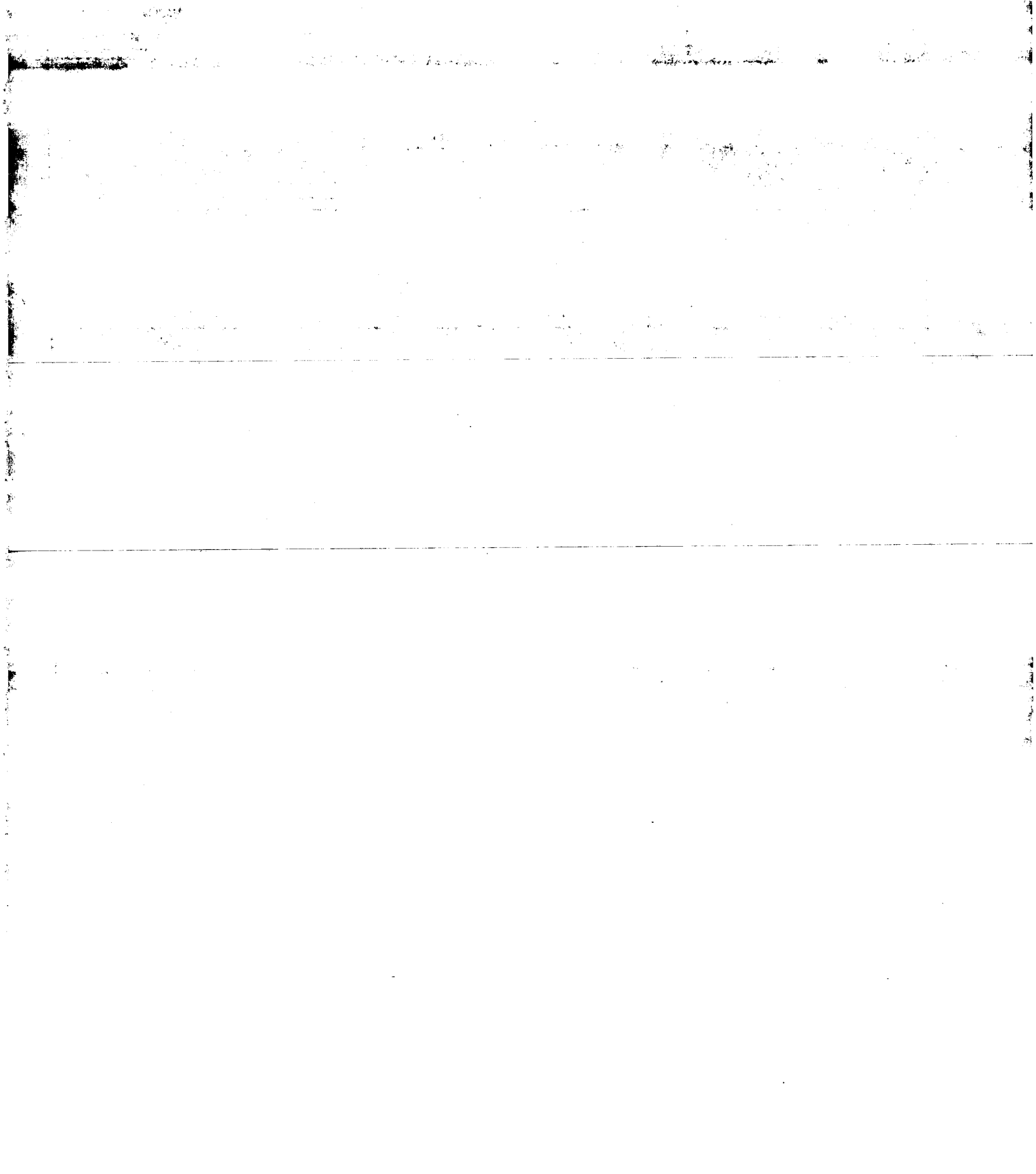
The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer:

Y. KUWAHARA

Telephone No. (41-22) 338.83.38



PATENT COOPERATION TREAT

PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
Lions Building Ohtemae
2nd Floor
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi
Osaka 540-0037
JAPON



Date of mailing (day/month/year) 17 November 2000 (17.11.00)	
Applicant's or agent's file reference P23651-P0 <i>FP 00035</i>	IMPORTANT NOTIFICATION
International application No. PCT/JP00/06261	International filing date (day/month/year) 13 September 2000 (13.09.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 16 September 1999 (16.09.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
16 Sept 1999 (16.09.99)	11/262119	JP	06 Nove 2000 (06.11.00)
30 Sept 1999 (30.09.99)	11/278687	JP	06 Nove 2000 (06.11.00)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Magda BOUACHA

Telephone No. (41-22) 338.83.38





PATENT COOPERATION TREATY

WO 01/20685
PCT/JP00/06261

PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
Lions Building Ohtemae
2nd Floor
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi
Osaka 540-0037
JAPON

Date of mailing (day/month/year) 22 March 2001 (22.03.01)		
Applicant's or agent's file reference P23651-P0 Fp00035/PCT		IMPORTANT NOTICE
International application No. PCT/JP00/06261	International filing date (day/month/year) 13 September 2000 (13.09.00)	
Priority date (day/month/year) 16 September 1999 (16.09.99)		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

CN

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 22 March 2001 (22.03.01) under No. WO 01/20685

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer J. Zahra Telephone No. (41-22) 338.83.38
--	---



(特許協力条約に基づいて公開された国際出願)

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2001年3月22日 (22.03.2001)

PCT

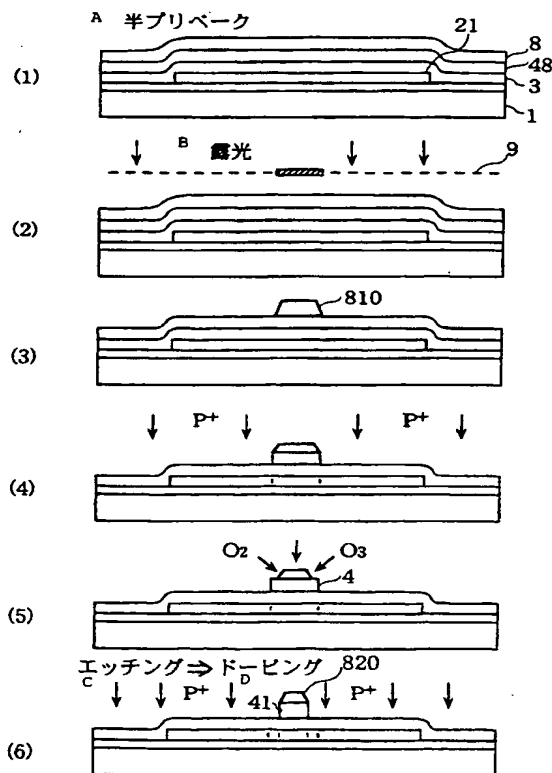
(10) 国際公開番号
WO 01/20685 A1

- (51) 国際特許分類⁷: H01L 29/786, 21/336 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP00/06261
- (22) 国際出願日: 2000年9月13日 (13.09.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平11/262119 1999年9月16日 (16.09.1999) JP
特願平11/278687 1999年9月30日 (30.09.1999) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 竹橋信逸 (TAKEHASHI, Shin-itsu) [JP/JP]; 〒575-0021 大阪府四條畷市南野2-17-12-205 Osaka (JP). 河北哲郎 (KAWAKITA, Tetsuo) [JP/JP]; 〒610-0352 京都府京田辺市花住坂3-5-10 Kyoto (JP). 武富義尚 (TAKETOMI, Yoshinao) [JP/JP]; 〒610-0357 京都府京田辺市山手東1-16-13 Kyoto (JP). 筒 博司 (TSUTSU, Hiroshi) [JP/JP]; 〒534-0016 大阪府大阪市都島区友割町1-5-7-1011 Osaka (JP).

[続葉有]

(54) Title: THIN-FILM TRANSISTOR AND METHOD FOR PRODUCING THE SAME

(54) 発明の名称: 薄膜トランジスタ及びその製造方法



A...SEMI-PREBAKING
B...EXPOSURE
C...ETCHING
D...DOPING

(57) Abstract: An array of multiple small thin-film transistors produced with high precision and having LDD structure are formed on a substrate and used for, e.g., a liquid crystal display. The gate electrodes are used as a mask in doping a semiconductor layer with impurities. To make LDD structures, impurities are implanted in two steps. The dimensions of the gate electrodes at the second doping is varied from those at the first doping according to the LDD length. Metal oxidation or dry-etching is performed as means for varying the dimensions of the gate electrodes. For precise dry-etching of the gate electrodes, the photoresist is devised.

[続葉有]



WO 01/20685 A1



(74) 代理人: 大前 要(OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前2階 Osaka (JP).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(81) 指定国 (国内): CN, KR, US.

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

(57) 要約:

液晶表示装置等に用いるため、微小かつ多数の精度のよいLDD構造の薄膜トランジスタを基板上に配列して形成する。

そのために、ゲート電極を半導体層に不純物を注入する際のマスクとする。

LDD構造とするため、不純物を2回に分けて注入する。

第1回目と第2回目の注入時で、ゲート電極の寸法をLDD長さに対応して変える。

不純物注入マスクとして使用するゲート電極の寸法を変える手段として、金属酸化やドライエッチングを利用する。

ゲート電極のドライエッチングを精度よく行なうため、フォトレジストに工夫を凝らす。

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06261

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H01L29/786, H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 11-163366, A (Toshiba Corporation), 18 June, 1999 (18.06.99), Par. No. [0008] Par. No. [0015] (Family: none)	1, 16, 20-23 30, 32, 33, 36, 40, 48, 50
X	JP, 3-148834, A (Sanyo Electric Co., Ltd.), 25 June, 1991 (25.06.91), page 3, upper left column, line 13 to lower left column, line 16 (Family: none)	1, 16, 20-23
A	US, 5526304, A (Sharp Kabushiki Kaisha), 11 June, 1996 (11.06.96), Full text; Figs. 14 to 16 & JP, 7-183403, A	18-23
A	JP, 8-148691, A (Sony Corporation), 07 June, 1996 (07.06.96), Par. Nos. [0013] to [0017] (Family: none)	18-23
Y	JP, 6-112222, A (Seiko Epson Corporation), 22 April, 1994 (22.04.94),	24-40, 48, 49, 50

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22 December, 2000 (22.12.00)

Date of mailing of the international search report
16 January, 2001 (16.01.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06261

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	Par. Nos. [0016] to [0037] (Family: none)	
Y	US, 5476802, A (Semiconductor Energy Lab. Co., Ltd.), 19 December, 1995 (19.12.95), Full text; Fig. 8 & JP, 5-55246, A & KR, 9600225, B	24-40, 48, 49, 50
Y	JP, 9-298304, A (Semiconductor Energy Lab. Co., Ltd.), 18 November, 1997 (18.11.97), Par. Nos. [0020] to [0024] & US, 5985701, A & KR, 97076044, A	38
Y	JP, 11-168221, A (Matsushita Electric Industrial Co., Ltd.), 22 June, 1999 (22.06.99), Par. Nos. [0127] to [0135] & US, 6127211, A & CN, 1213849, A & KR, 99036730, A	44, 45
Y	JP, 8-32080, A (Semiconductor Energy Lab. Co., Ltd.), 02 February, 1996 (02.02.96), Full text (Family: none)	44
Y	JP, 5-82552, A (Seiko Epson Corporation), 02 April, 1993 (02.04.93), Par. Nos. [0035] to [0047] (Family: none)	46, 52

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/786, H01L21/336

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 11-163366, A (株式会社東芝) 18. 6月. 1999 (18. 06. 99) 【0008】	1, 16, 20-23
Y	【0015】 (ファミリーなし)	30, 32, 33, 36, 40, 48, 50
X	J P, 3-148834, A (三洋電機株式会社) 25. 6月. 1991 (25. 06. 91) 第3頁左上欄第13行-左下欄第16行 (ファミリーなし)	1, 16, 20-23

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日
22. 12. 00

国際調査報告の発送日

16.01.01

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
井原 純



4M 2934

電話番号 03-3581-1101 内線 3460

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	US, 5 5 2 6 3 0 4, A (Sharp Kabishiki Kaisha) 11. 6月. 1996 (11. 06. 96) 全文, 図14-16 & JP, 7-183403, A	18-23
A	JP, 8-148691, A (ソニー株式会社) 7. 6月. 1996 (07. 06. 96) 【0013】-【0017】 (ファミリーなし)	18-23
Y	JP, 6-112222, A (セイコーエプソン株式会社) 22. 4月. 1994 (22. 04. 94) 【0016】-【0037】 (ファミリーなし)	24-40, 48, 49, 50
Y	US, 5 4 7 6 8 0 2, A (Semiconductor Energy Laboratory Co., Ltd.) 19. 12月. 1995 (19. 12. 95) 全文, 図8 & JP, 5-55246, A & KR, 9600225, B	24-40, 48, 49, 50
Y	JP, 9-298304, A (半導体エネルギー研究所) 18. 11月. 1997 (18. 11. 97) 【0020】-【0024】 & US, 5985701, A & KR, 97076044, A	38
Y	JP, 11-168221, A (松下電器産業株式会社) 22. 6月. 1999 (22. 06. 99) 【0127】-【0135】 & US, 6127211, A & CN, 1213849, A & KR, 99036730, A	44, 45
Y	JP, 8-32080, A (株式会社半導体エネルギー研究所) 2. 2月. 1996 (02. 02. 96) 全文 (ファミリーなし)	44
Y	JP, 5-82552, A (セイコーエプソン株式会社) 2. 4月. 1993 (02. 04. 93) 【0035】-【0047】 (ファミリーなし)	46, 52

PATENT COOPERATION TREATY

PCT

INFORMATION CONCERNING ELECTED
OFFICES NOTIFIED OF THEIR ELECTION

(PCT Rule 61.3)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
Lions Building Ohtemae
2nd Floor
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi
Osaka 540-0037
JAPON



Date of mailing (day/month/year) 06 June 2001 (06.06.01)		
Applicant's or agent's file reference P23651-P0 <i>FP00035/PCT</i>		IMPORTANT INFORMATION
International application No. PCT/JP00/06261	International filing date (day/month/year) 13 September 2000 (13.09.00)	
Priority date (day/month/year) 16 September 1999 (16.09.99)		
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. The applicant is hereby informed that the International Bureau has, according to Article 31(7), notified each of the following Offices of its election:

National : CN, KR, US

2. The following Offices have waived the requirement for the notification of their election; the notification will be sent to them by the International Bureau only upon their request:

None

3. The applicant is reminded that he must enter the "national phase" **before the expiration of 30 months from the priority date** before each of the Offices listed above. This must be done by paying the national fee(s) and furnishing, if prescribed, a translation of the international application (Article 39(1)(a)), as well as, where applicable, by furnishing a translation of any annexes of the international preliminary examination report (Article 36(3)(b) and Rule 74.1).

Some offices have fixed time limits expiring later than the above-mentioned time limit. For detailed information about the applicable time limits and the acts to be performed upon entry into the national phase before a particular Office, see Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer:

Maria Kirchner

Telephone No. (41-22) 338.83.38

REPLACED BY
ART 34 PCT

1/1

25/ptd

10/088264
JCT3 Rec'd PCT/PTO 18 MAR 2002

A translation of the annexes to the International Preliminary
Examination Report under PCT Article 36

1. (Amended) A method for fabricating an LDD thin film transistor, comprising:

a provisional gate electrode-making step of making a provisional gate electrode from a metal film for gate electrode formation by using a resist which has been hardened and patterned by photolithography and postbaking;

a first impurity-injecting step of injecting impurities in high concentrations into a semiconductor layer while using as a mask the provisional gate electrode having the resist used to form the provisional gate electrode thereon;

an isolated resist-etching step of moving both ends of the resist in a channel direction towards the center by etching, thereby exposing surfaces of both ends of the provisional gate electrode in the channel direction;

a provisional gate electrode end-etching step of etching exposed both ends of the provisional gate electrode while using the remaining resist as a mask; and

a second impurity-injecting step of injecting the impurities in low concentrations into the semiconductor layer while using as a mask a gate electrode completed by etching said both ends of the provisional gate electrode.

401 160 101

21

WHAT IS CLAIMED IS:

1. A method for fabricating an LDD thin film transistor, including:

a provisional gate electrode-making step of making a provisional gate electrode from a metal film for gate electrode formation by using a resist;

a first impurity-injecting step of injecting impurities in high concentrations into a semiconductor layer while using as a mask the provisional gate electrode having the resist used to form the provisional gate electrode thereon;

an isolated resist-etching step of moving both ends of the resist in a channel direction towards the center by etching, thereby exposing surfaces of both ends of the provisional gate electrode in the channel direction;

a provisional gate electrode end-etching step of etching exposed both ends of the provisional gate electrode while using the remaining resist as a mask; and

a second impurity-injecting step of injecting impurities in low concentrations into the semiconductor layer while using as a mask a gate electrode completed by etching the both ends of the provisional gate electrode.

2. A method for fabricating an LDD thin film transistor, including:

a resist end surface-processing step of processing a resist

formed in a position corresponding to a gate electrode in order to pattern a metal film for gate electrode formation in such a manner that side surfaces of the resist in a channel direction are tapered to broaden downwardly;

a provisional gate electrode-forming step of forming a provisional gate electrode by etching the metal film for gate electrode formation while using the resist processed to be tapered as a mask;

a first impurity-injecting step of injecting impurities in high concentrations into a semiconductor layer while using as a mask the provisional gate electrode having the resist with tapered side surfaces thereon;

an isolated resist-etching step of reducing the provisional gate electrode in size towards the center by etching the resist bottom with the tapered side surfaces, thereby exposing both ends of the gate electrode;

a provisional gate electrode end-removing step of removing the exposed both ends of the gate electrode while using the remaining resist as a mask; and

a second impurity-injecting step of injecting the impurities in low concentrations into the semiconductor layer while using as a mask the gate electrode whose both ends have been removed.

3. The method for fabricating an LDD thin film transistor inaccordance with claim 2, characterized in that the resist end

surface-processing step is a resist-sphering step of shaping the resist patterned on the metal film for gate electrode formation like a hemisphere by melting it with heat.

4. The method for fabricating an LDD thin film transistor in accordance with claim 2, characterized in that the resist end surface-processing step is a heat-shrinking step of shrinking a top portion of the resist patterned on the metal film for gate electrode formation by exposing the resist to predetermined temperatures higher than postbake temperatures at which resist material does not deform.

5. The method for fabricating an LDD thin film transistor in accordance with claim 2, characterized in that the resist end surface-processing step includes a low temperature-prebake substep of prebaking the resist applied on the metal film for gate electrode formation at lower temperatures than prebaking temperatures determined by properties of resist material.

6. The method for fabricating an LDD thin film transistor in accordance with claim 5, characterized in that the resist end surface-processing step further includes, in addition to the low temperature-prebake substep, a defocus-exposing substep of exposing the resist under a defocused condition when the metal film for gate electrode formation is patterned by photolithography.

7. The method for fabricating an LDD thin film transistor in accordance with claim 6, characterized in that the resist end surface-processing step further includes, in addition to the low temperature-prebake substep and the defocus-exposing substep, a perforated pattern photomask-exposure substep of conducting an exposure with the use of a perforated pattern photomask and a negative photo resist when the metal film for gate electrode formation is patterned by photolithography.

8. The method for fabricating an LDD thin film transistor in accordance with claim 2, characterized in that the resist end surface-processing step is a resist end surface-removing step making use of a chemical reaction of area proportion.

9. The method for fabricating an LDD thin film transistor in accordance with claim 1, characterized in that the provisional gate electrode making step includes:

a first resist-application substep of applying a first resist having high postbaking temperatures on the metal film for gate electrode formation;

a second resist-application substep of applying a second resist having lower postbaking temperatures than the first resist on the first resist;

an exposure-and-development substep of exposing the first resist and the second resist while using a mask for electrode

formation, and then developing the first resist and the second resist;

a high temperature-baking substep of postbaking the first resist and the second resist at postbaking temperatures not causing the first resist to deform; and

a provisional gate electrode-patterning substep of forming a provisional gate electrode by patterning the metal film for gate electrode formation while using the first resist and the second resist as a mask.

10. The method for fabricating an LDD thin film transistor in accordance with claim 1, characterized in that the provisional gate electrode-making step includes a low temperature-prebaking substep of prebaking the resist applied on the metal film for gate electrode formation at lower temperatures than prebaking temperatures determined by properties of resist material.

11. The method for fabricating an LDD thin film transistor in accordance with claim 10, characterized in that the resist end surface-processing step further includes, in addition to the low temperature prebaking substep, a defocus-exposing substep of exposing the resist under a defocused condition when the metal film for gate electrode formation is patterned by photolithography.

12. The method for fabricating an LDD thin film transistor in accordance with claim 11, characterized in that the resist end surface-processing step further includes, in addition to the low temperature-prebake substep and the defocus-exposing substep, a perforated pattern photomask-exposure substep of conducting an exposure with the use of a perforated pattern photomask and a negative photo resist when the metal film for gate electrode formation is patterned by photolithography.

13. The method for fabricating an LDD thin film transistor in accordance with claim 1 characterized in that the method further including an isolated resist-hemisphering step of hemisphering a surface of the resist formed on the provisional gate electrode by melting at fixed temperatures higher than its melting point or softening point prior to the isolated resist-etching step.

14. The method for fabricating an LDD thin film transistor in accordance with claim 13, characterized in that the method further includes, prior to the isolated resist-hemisphering step, a melt flow resist-selecting step of selecting a melt flow resist as the resist.

15. The method for fabricating an LDD thin film transistor in accordance with claim 1 characterized in that the

method further includes, prior to the isolated resist-etching step, a resist-heat shrinking step of shrinking a top surface of the resist formed on the gate electrode by heating at temperatures higher than the highest temperature at which the resist material does not deform, thereby broadening both ends of the resist downwardly.

16. The method for fabricating an LDD thin film transistor in accordance with any of claims 1 to 15, characterized in that the isolated resist-etching step is a both end-ashing step of removing at least, both end portions of the resist in the channel direction by means of ashing with the use of a gas containing at least one of O_2 and ozone.

17. A method for fabricating an offset thin film transistor including:

a provisional gate electrode-making step of making a provisional gate electrode from a metal film for gate electrode formation by using a resist;

an impurity-injecting step of injecting impurities in high concentrations into a semiconductor layer while using as a mask the provisional gate electrode having the resist used to form the provisional gate electrode thereon;

a resist end-tilting step of downwardly broadening both ends of the resist in the channel direction, which is going to be

1. The first step in the process is to identify the problem or issue that needs to be addressed. This involves gathering information and understanding the context of the problem.

1. The first part of the paper discusses the importance of the research and the objectives of the study. It highlights the need for a comprehensive understanding of the research topic and the specific goals that the study aims to achieve.

used or has been used to form the provisional gate electrode, before the provisional gate electrode-making step or before or after the impurity-injecting step;

a resist-etching step of moving both ends of the resist in the channel direction towards the center, thereby exposing both ends of the provisional gate electrode in the channel direction; and

a gate electrode-forming step of etching exposed both ends of the provisional gate electrode while using the remaining resist as a mask.

18. A method for fabricating an LDD thin film transistor including:

a bottom gate transistor-formation basic step of stacking a gate electrode, a gate insulator film, and a semiconductor layer in this order onto a substrate;

a metal film-forming step of forming a metal film for an impurity injection mask on the semiconductor layer;

a resist film-forming step of forming a resist film on the metal film;

a resist film-patterning step of patterning the resist film by exposing from a rear side of the substrate while using the gate electrode as an exposure mask;

a first impurity injection mask-forming step of patterning the metal film for the impurity injection mask while using the patterned resist film as a mask;



a first impurity-injecting step of injecting impurities in high concentrations from the front side of the substrate while using the first impurity injection mask as a mask;

an isolated resist end-tilting step of treating the patterned resist on the patterned first impurity injection mask to have tilting side surfaces of both ends in the channel direction towards the center;

an isolated resist-etching step of moving both ends of the resist in a channel direction towards the center, thereby exposing both ends of the first impurity injection mask provided under the resist which is so processed that the side surfaces of both ends thereof are tilted in the channel direction towards the center;

a second impurity injection mask-forming step of removing the exposed both ends of the first impurity injection mask while using the remaining resist as a mask; and

a second impurity-injecting step of injecting the impurities in low concentrations from the front side of the substrate while using the second impurity injection mask as a mask.

19. A method for fabricating an LDD thin film transistor including:

a bottom-gate transistor-formation basic step of stacking a gate electrode, a gate insulator film, a semiconductor layer, and a protective insulator film in this order onto a substrate;

a metal mask-forming step of forming a metal film for an



impurity injection mask on the semiconductor layer;

a resist film-forming step of forming a resist film on the metal mask;

a resist film-patterning step of patterning the resist film by exposing from a rear side of the substrate while using the gate electrode as an exposure mask;

a first impurity injection mask-forming step of patterning the metal film for the impurity injection mask while using the patterned resist film as a mask;

a first impurity-injecting step of injecting impurities in high concentrations from the front side of the substrate while using the first impurity injection mask as a mask;

an isolated resist end tilting step of tilting side surfaces of both ends of the patterned resist on the patterned first impurity injection mask in the channel direction towards the center;

an isolated resist-etching step of moving both ends of the resist in a channel direction towards the center, thereby exposing both ends of the first impurity injection mask provided under the resist which is so processed that the side surfaces of both ends thereof are tilted in the channel direction towards the center;

a second impurity injection mask-forming step of removing exposed both ends of the first impurity injection mask while using the remaining resist as a mask; and

a second impurity-injecting step of injecting the impurities in low concentrations from the front side of the substrate while

using the second impurity injection mask as a mask.

20. A method for fabricating an electroluminescence display apparatus including a first substrate having a thin film transistor array composed of thin film transistors arranged in the form of matrix, a second substrate on which an electrode are arranged, and electroluminescence material disposed between the first substrate and the second substrate, the method including:

a thin film transistor selecting step of selecting from among the thin film transistors of claims 1 to 15, 17, 18, and 19, and arranging selected thin film transistors in the form of matrix on the first substrate.

21. A method for fabricating a liquid crystal display apparatus comprising a first substrate having a thin film transistor array composed of thin film transistors arranged in the form of matrix, a second substrate on which electrodes are so arranged as to correspond to the thin film transistors, and liquid crystal material disposed between the first substrate and the second substrate, the method including:

a thin film transistor-selecting step of selecting from among the thin film transistors of claims 1 to 19, and arranging selected thin film transistors in the form of matrix on the first substrate.

22. The method for fabricating a thin film transistor in



1. The first part of the document is a list of the names of the persons who were present at the meeting.

2. The second part of the document is a list of the names of the persons who were present at the meeting.

3. The third part of the document is a list of the names of the persons who were present at the meeting.

4. The fourth part of the document is a list of the names of the persons who were present at the meeting.

5. The fifth part of the document is a list of the names of the persons who were present at the meeting.

6. The sixth part of the document is a list of the names of the persons who were present at the meeting.

7. The seventh part of the document is a list of the names of the persons who were present at the meeting.

8. The eighth part of the document is a list of the names of the persons who were present at the meeting.

9. The ninth part of the document is a list of the names of the persons who were present at the meeting.

10. The tenth part of the document is a list of the names of the persons who were present at the meeting.

accordance with any of claims 1 to 15, 17, 18, and 19, characterized in that the second impurity-injecting step is a first impurity-injecting step of specific-range-resistance-formation for injecting the impurities in such a manner that regions with low-concentration impurities between a channel region and a source region, and between the channel region and a drain region have electric resistance of $20 \text{ k}\Omega/\square$ to $100 \text{ k}\Omega/\square$.

23. The method for fabricating an LDD thin film transistor or an offset thin film transistor in accordance with any of claims 1 to 15, 17, 18, and 19, characterized in that the method includes a semiconductor material-selecting step of selecting polysilicon as a semiconductor material of the LDD thin film transistor or the offset thin film transistor.

24. A top-gate LDD thin film transistor comprising:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

insulating reaction product films for coating both ends of the gate electrode in a channel direction, the insulating reaction product films being oxide films of the gate electrode material each being $0.075 \sim 0.5\mu\text{m}$ long and thick enough to function as a mask at a time of impurity injection.

25. A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

insulating reaction product films for coating both ends of the gate electrode in a channel direction, the insulating reaction product films being oxide films of the gate electrode material each being 0.075 -- 0.5 μ m long and thick enough to function as a mask at a time of impurity injection, the LDD thin film transistor is characterized in that a semiconductor layer directly below the insulating reaction product films has:

an offset region on a gate electrode side; and

a low-concentration impurity-injected region on a side opposite to the gate electrode side.

26. A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

insulating reaction product films for coating both ends of the gate electrode in a channel direction, the insulating reaction product films being oxide films of the gate electrode material each being 0.075 -- 0.5 μ m long and thick enough to function as a mask at a time of impurity injection, the LDD thin film transistor is characterized in that a semiconductor layer directly below the insulating reaction product films has a low-concentration impurity intruded region due to heat diffusion or scattering on the gate electrode side; and

a low-concentration impurity injected region on a side opposite to the gate electrode side.

27. The LDD thin film transistor in accordance with any of claims 24 -- 26, characterized in that the insulating reaction product films of the gate electrode are heat oxide films.

28. A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

a semiconductor layer having, at each end in a channel direction under the gate electrode, an offset region on the gate electrode side and a low-concentration impurity injected region on a side opposite to the gate electrode side in a range having a length of 0.075 -- 0.5 μ m on both ends of the channel region provided under the gate electrode in the channel direction.

29. A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

a semiconductor layer having, at each end in a channel direction under the gate electrode, a low-concentration impurity intruded regions due to heat diffusion or scattering on the gate electrode side and a low-concentration impurity injected region on a side opposite to the gate electrode side in a range having a

length of $0.075 \text{ -- } 0.5\mu\text{m}$ on both ends of the channel region provided under the gate electrode in the channel direction.

30. The top-gate LDD thin film transistor in accordance with any of claims 24 -- 26, 28 and 29, characterized in that the gate electrode is stable with low resistance and made of an Mo-W alloy having Mo content of 15 --50 atom%.

31. The LDD thin film transistor in accordance with any of claims 24 -- 26, 28, and 29, characterized in that the semiconductor layer is a polysilicon layer.

32. The top-gate LDD thin film transistor in accordance with claim 30, characterized in that the semiconductor layer is a polysilicon layer.

33. The thin film transistor in accordance with claim 32, wherein the electric resistance in the low-concentration impurity injected region is $20 \text{ k}\Omega/\square$ and $100 \text{ k}\Omega/\square$.

34. A method of fabricating an LDD thin film transistor including:

a first impurity injecting-step of injecting impurities in low concentrations while using as a mask a gate electrode made from a metal film of $300 \text{ -- } 500 \text{ nm}$ -thick;



[REDACTED]

[REDACTED]

[REDACTED]

a reaction product film-forming step of forming reaction product films of $0.075 \sim 0.5\mu\text{m}$ -long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate electrode; and

a second impurity-injecting step of injecting the impurities in high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film-forming step.

35. The method of fabricating an LDD thin film transistor in accordance with claim 34, characterized in that the reaction product film forming step is a thermal oxide film forming step of forming the oxide films by oxidizing the gate electrode material metal with heat.

36. The method of fabricating an LDD thin film transistor in accordance with claim 35 further including a gate electrode material-selecting step of selecting an Mo-W alloy having Mo content of $15 \sim 50 \text{ atom}\%$ as a material of the gate electrode.

37. A method of fabricating an LDD thin film transistor, including:

a first impurity-injecting step of injecting impurities in low

concentrations while using as a mask a gate electrode made from a metal film of 300 -- 500 nm-thick;

a reaction product film-forming step of forming reaction product films of 0.075 -- 0.5 μ m long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate electrode;

a second impurity-injecting step of injecting impurities in high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film-forming step; and

a reaction product film-removing step of removing the reaction product films of the oxide films or the like of the metal in both ends of the gate electrode in the channel direction formed in the reaction product film-forming step.

38. A method of fabricating an LDD thin film transistor, including:

a reaction product film-forming step of forming reaction product films of 0.075 -- 0.5 μ m long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate electrode made of a metal film of 300 -- 500 nm-thick;

a first impurity-injecting step of injecting impurities in

high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film-forming step;

a reaction product film-removing step of removing the reaction product films of the oxide films or the like of the metal in both ends of the gate electrode in the channel direction formed in the reaction product film-forming step; and

a second impurity-injecting step of injecting impurities in low concentrations while using as a mask the gate electrode from which the reaction product films have been removed.

39. The method of fabricating an LDD thin film transistor in accordance with claim 37 or 38, characterized in that the reaction product film-forming step is a thermal oxide film-forming step of forming the oxide films by oxidizing the gate electrode material metal with heat.

40. The method of fabricating an LDD thin film transistor in accordance with claim 37 or 38, characterized in that the method further includes a gate electrode material-selecting step of selecting an Mo-W alloy having Mo content of 15 - 50 atom% as a material of the gate electrode.

41. A method of fabricating an LDD thin film transistor,

including:

a first impurity-injecting step of injecting impurities in low concentrations while using as a mask a gate electrode made of a metal film of 300 -- 500 nm thick;

a reaction product film-forming step of forming reaction product films of 0.075 -- 0.5 μ m-long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate electrode;

a second impurity-injecting step of injecting impurities in high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film forming step; and

a reverse reaction step of returning the reaction product films of oxide films of the metal in both ends of the gate electrode in a channel direction formed in the reaction product film-forming step to an original metal through a reverse reaction such as reduction.

42. The method of fabricating an LDD thin film transistor in accordance with claim 41, characterized in that the reaction product film-forming step is a thermal oxide film-forming step of forming the oxide films by oxidizing the gate electrode material metal with heat.



[The page contains several horizontal lines of text that are extremely faint and illegible due to the quality of the scan. The text appears to be organized into paragraphs or sections, but no specific words or phrases can be discerned.]

43. The method of fabricating an LDD thin film transistor in accordance with claim 41 or 42 characterized in that the method includes a gate electrode material-selecting step of selecting an Mo-W alloy having Mo content of 15 -- 50 atom% as a material of the gate electrode.

44. A method of fabricating an LDD thin film transistor, including:

an oxide film-forming step of forming 0.05 -- 0.5 μ m-thick oxide films of the gate electrode material metal at both ends of a gate electrode in the channel direction by partly oxidizing the gate electrode which is made of a 300 -- 500 nm-thick metal film; and

a diagonal direction high voltage impurity-injecting step of injecting impurities at high voltages from both sides in the channel direction at the same time or in two installments while using as a mask the gate electrode provided with the oxide films.

45. A method of fabricating an LDD thin film transistor, including:

an oxide film-forming step of forming 0.05 -- 0.5 μ m-long oxide films at both ends of a gate electrode in the channel direction by partly oxidizing the gate electrode which is made of a 300 -- 500 nm-thick metal film;

a high voltage impurity-injecting step of injecting impurities at high voltages while using as a mask the gate



F

P

electrode provided with the oxide films; and

a dispersing step of further dispersing the impurities which have been injected in the high voltage impurity-injecting step and diffused towards the center of the gate electrode in the channel direction when a semiconductor is heat-processed after impurity injection or when the oxide films formed in both ends of the gate electrode are heated to be removed or reduced.

46. A method of fabricating an offset thin film transistor, including:

a reaction product film-forming step of forming reaction product films of oxide films of a $0.075 \sim 0.5\mu\text{m}$ -long gate electrode material metal at both ends of the gate electrode in a channel direction by thermal oxidizing the gate electrode which is made of a $300 \sim 500 \text{ nm}$ -long metal film;

an impurity-injecting step of injecting impurities in high concentrations while using as a mask the gate electrode provided with the reaction product films; and

an oxide film-removing step of removing the metal oxide films in both ends of the gate electrode in the channel direction after the impurity-injecting step.

47. The method of fabricating an LDD thin film transistor in accordance with any of claim 34, 35, 37, 38, 41, 42, 44, or 45, characterized in that the method includes a semiconductor

material-selecting step of selecting polysilicon as semiconductor material of the LDD thin film transistor.

48. The method of fabricating an LDD thin film transistor in accordance with claim 36, characterized in that the method includes a semiconductor material-selecting step of selecting polysilicon as semiconductor material of the LDD thin film transistor.

49. The method of fabricating an LDD thin film transistor in accordance with claim 39, characterized in that the method includes a semiconductor material-selecting step of selecting polysilicon as semiconductor material of the LDD thin film transistor.

50. The method of fabricating an LDD thin film transistor in accordance with claim 40, characterized in that the method includes a semiconductor material-selecting step of selecting polysilicon as semiconductor material of the LDD thin film transistor.

51. The method of fabricating an LDD thin film transistor in accordance with claim 43, characterized in that the method further includes a semiconductor material-selecting step of selecting polysilicon as semiconductor material of the LDD thin

film transistor.

52. The method of fabricating an offset thin film transistor in accordance with claim 46, characterized in that the method further includes a semiconductor material-selecting step of selecting polysilicon as semiconductor material of the offset thin film transistor.

ABSTRACT OF THE DISCLOSURE

A number of minuscule LDD thin film transistors with high precision are arranged on a substrate for use in a liquid crystal display apparatus or other similar devices. The gate electrode is used as a mask at the time of injecting impurities into the semiconductor layer. To realize an LDD structure, the impurities are injected in two installments. The size of the gate electrode is changed in accordance with the length of the LDD regions between the first and second injections. The size of the gate electrode is changed by means of metal oxidation or dry etching. For precision dry etching of the gate electrode, various ideas are put into forming the photo resist.

WHAT IS CLAIMED IS:

1. (Amended) A method for fabricating an LDD thin film transistor, including:

a step of forming a semiconductor layer on the substrate;

a step of forming a metal film on the semiconductor layer;

a provisional gate electrode-making step of making a provisional gate electrode from a the metal film for gate electrode formation by using a resist which has been hardened and patterned by photolithography and postbaking;

a first impurity-injecting step of injecting impurities in high concentrations into [a] the semiconductor layer while using as a mask the provisional gate electrode having the resist used to form the provisional gate electrode thereon;

an isolated resist-etching step of moving both ends of the resist in a channel direction towards the center by etching, thereby exposing surfaces of both ends of the provisional gate electrode in the channel direction;

a provisional gate electrode end-etching step of etching exposed both ends of the provisional gate electrode while using the remaining resist as a mask; and

a second impurity-injecting step of injecting impurities in low concentrations into the semiconductor layer while using as a mask a gate electrode completed by etching the both ends of the provisional gate electrode.

2.(Amended) A method for fabricating an LDD thin film transistor, including:

a step of forming a semiconductor layer on the substrate;

a step of forming a metal film on the substrate;

a step of coating the metal film with a resist for forming a gate electrode;

a resist end surface-processing step of processing the resist into a pattern corresponding to a gate electrode to be obtained, the patterned resist having tapered end surfaces each with projecting lower edge [processing a resist formed in a position corresponding to a gate electrode in order to pattern a metal film for gate electrode formation in such a manner that side surfaces of the resist in a channel direction are tapered to broaden downwardly];

a provisional gate electrode-forming step of forming a provisional gate electrode by etching the metal film [for gate electrode formation] while using the resist processed to be tapered as a mask;

a first impurity-injecting step of injecting impurities in high concentrations into [a] the semiconductor layer while using as a mask the provisional gate electrode having the resist with tapered side surfaces thereon;

an isolated resist-etching step of etching the resist to remove both end portions in the channel direction of the resist [reducing the provisional gate electrode in size towards the center by etching the resist bottom with the tapered side surfaces],

thereby exposing both ends of the gate electrode in the channel direction;

a provisional gate electrode end-removing step of removing the exposed both ends of the gate electrode while using the remaining resist as a mask; and

a second impurity-injecting step of injecting the impurities in low concentrations into the semiconductor layer while using as a mask the gate electrode whose both ends have been removed.

3.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 2, wherein [characterized in that] the patterned resist is shaped into hemisphere by melting with heat in the resist end surface-processing step [is a resist-sphering step of shaping the resist patterned on the metal film for gate electrode formation like a hemisphere by melting it with heat].

4.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 2, [characterized in that] wherein, in the resist end surface-processing step, a top portion of the patterned resist on the metal film is heated at temperatures higher than the highest temperature at which preservation in shape of the resist is ensured, to shrink a top portion of the patterned resist [is a heat-shrinking step of shrinking a top portion of the resist patterned on the metal film for gate electrode

formation by exposing the resist to predetermined temperatures higher than postbake temperatures at which resist material does not deform].

5.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 2, [characterized in that] wherein, in the resist end surface-processing step, the patterned resist is prebaked [includes a low-temperature-prebake substep of prebaking the resist applied on the metal film for gate electrode formation] at lower temperatures than [prebaking temperatures determined by properties of resist material] the lowest temperature at which preservation in shape of the resist is ensured.

6.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 5, [characterized in that] wherein, in the resist end surface-processing step, [further includes, in addition to the low temperature-prebake substep, a defocus-exposing substep of exposing] the resist on the metal film is exposed in order to be patterned under a defocused condition [when the metal film for gate electrode formation is patterned by] in photolithography.

7.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 6, [characterized in that]

wherein, in the resist end surface processing step, [further includes, in addition to the low temperature-prebake substep and the defocus-exposing substep, a perforated pattern photomask-exposure substep of conducting] an exposure is conducted with the use of a perforated pattern photomask and a negative photo resist [when the metal film for gate electrode formation is patterned by] in photolithography.

8.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 2, [characterized in that the resist end surface-processing step is a resist end surface-removing step making use of a chemical reaction of area proportion] the tapered end surfaces are removed by utilizing an area-proportional chemical reaction of the resist in the resist-end-surface-processing step.

9.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 1, [characterized in that] wherein the provisional-gate-electrode-making step includes:

a first resist-application substep of applying a first resist having high postbaking temperatures on the metal film for gate electrode formation;

a second resist-application substep of applying a second resist having lower postbaking temperatures than the first resist on the first resist;

an exposure-and-development substep of exposing the first resist and the second resist while using a mask for electrode formation, and then developing the first resist and the second resist;

a high temperature-baking substep of postbaking the first resist and the second resist at postbaking temperatures not causing the first resist to deform; and

a provisional gate electrode-patterning substep of forming a provisional gate electrode by patterning the metal film for gate electrode formation while using the first resist and the second resist as a mask.

10.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 1, [characterized in that] wherein the provisional gate electrode-making step includes a low temperature-prebaking substep of prebaking the resist applied on the metal film for gate electrode formation at lower temperatures than [prebaking temperatures determined by properties of resist material] the lowest temperature at which preservation in shape of the resist is ensured.

11.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 10, [characterized in that] wherein, in the resist end surface-processing step, [further includes, in addition to the low temperature prebaking substep, a

defocus-exposing substep of exposing] the resist on the metal film is exposed in order to be patterned under a defocused condition [when the metal film for gate electrode formation is patterned by] in photolithography.

12.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 11, [characterized in that] wherein, in the resist end surface-processing step, [further includes, in addition to the low temperature-prebaking substep and the defocus-exposing substep, a perforated pattern photomask-exposure substep of conducting] an exposure is conducted with the use of a perforated pattern photomask and a negative photo resist [when the metal film for gate electrode formation is patterned by] in photolithography.

13. The method for fabricating an LDD thin film transistor in accordance with claim 1 [characterized in that the method] further including an isolated resist-hemisphering step of hemisphering a surface of the resist formed on the provisional gate electrode by melting at fixed temperatures higher than its melting point or softening point prior to the isolated resist-etching step.

14.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 13, [characterized in that

the method further includes, prior to the isolated resist-hemisphering step,] wherein a melt flow resist is employed [a melt flow resist-selecting step of selecting a melt flow resist] as the resist.

15.(Amended) The method for fabricating an LDD thin film transistor in accordance with claim 1 [characterized in that the method further includes] further including, prior to the isolated resist-etching step, a [resist-heat shrinking] step of [shrinking] heat-shrinking a top surface of the resist formed on the gate electrode by heating at temperatures higher than the highest temperature at which the resist material does not deform, thereby broadening both ends of the resist downwardly.

16(Amended). The method for fabricating an LDD thin film transistor in accordance with [any of claims] claim 1 [to 15, characterized in that] wherein, in the isolated resist-etching step, [is a both end-ashing step of removing at least] both end portions of the resist in the channel direction are removed by means of ashing with the use of a gas containing at least one of O₂ and ozone.

17.(Amended) A method for fabricating an offset thin film transistor including:

a step of forming a semiconductor layer on the substrate;

a step of forming a metal film on the semiconductor layer;

a provisional gate electrode-making step of making a provisional gate electrode from [a] the metal film for gate electrode formation by using a resist;

an impurity-injecting step of injecting impurities in high concentrations into [a] the semiconductor layer while using as a mask the provisional gate electrode having the resist used to form the provisional gate electrode thereon;

a resist end-tilting step of [downwardly broadening] processing the resist to have a pair of tilted end surfaces each with projecting lower edge [both ends of the resist] in the channel direction, which is going to be used or has been used to form the provisional gate electrode, before the provisional gate electrode-making step or before or after the impurity-injecting step;

a resist-etching step of moving both ends of the resist in the channel direction towards the center, thereby exposing both ends of the provisional gate electrode in the channel direction; and

a gate electrode-forming step of etching exposed both ends of the provisional gate electrode while using the remaining resist as a mask.

18.(Amended) A method for fabricating an LDD thin film transistor including:

a bottom gate transistor-formation basic step of stacking a

gate electrode, a gate insulator film, and a semiconductor layer in this order onto a front surface of a substrate;

a metal film-forming step of forming a metal film for an impurity injection mask on the semiconductor layer;

a resist film-forming step of forming a resist film on the metal film;

a resist film-patterning step of patterning the resist film by exposing from a rear side of the substrate while using the gate electrode as an exposure mask;

a first impurity injection mask-forming step of patterning the metal film for the impurity injection mask while using the patterned resist film as a mask;

a first impurity-injecting step of injecting impurities in high concentrations from the front side of the substrate while using the first impurity injection mask as a mask;

an isolated resist end-tilting step of treating the patterned resist on the patterned first impurity injection mask to have tilting side surfaces of both ends in the channel direction towards the center;

an isolated resist-etching step of moving both ends of the resist in a channel direction towards the center, thereby exposing both ends of the first impurity injection mask provided under the resist which is so processed that the side surfaces of both ends thereof are tilted in the channel direction towards the center;

a second impurity injection mask-forming step of removing

the exposed both ends of the first impurity injection mask while using the remaining resist as a mask; and

a second impurity-injecting step of injecting the impurities in low concentrations from the front side of the substrate while using the second impurity injection mask as a mask.

19.(Amended) A method for fabricating an LDD thin film transistor including:

a bottom-gate transistor-formation basic step of stacking a gate electrode, a gate insulator film, a semiconductor layer, and a protective insulator film in this order onto a front surface of a substrate;

a metal mask-forming step of forming a metal film for an impurity injection mask on the semiconductor layer;

a resist film-forming step of forming a resist film on the metal mask;

a resist film-patterning step of patterning the resist film by exposing from a rear side of the substrate while using the gate electrode as an exposure mask;

a first impurity injection mask-forming step of patterning the metal film for the impurity injection mask while using the patterned resist film as a mask;

a first impurity-injecting step of injecting impurities in high concentrations from the front side of the substrate while using the first impurity injection mask as a mask;

an isolated resist end-tilting step of tilting side surfaces of both ends of the patterned resist on the patterned first impurity injection mask in the channel direction towards the center;

an isolated resist-etching step of moving both ends of the resist in a channel direction towards the center, thereby exposing both ends of the first impurity injection mask provided under the resist which is so processed that the side surfaces of both ends thereof are tilted in the channel direction towards the center;

a second impurity injection mask-forming step of removing exposed both ends of the first impurity injection mask while using the remaining resist as a mask; and

a second impurity-injecting step of injecting the impurities in low concentrations from the front side of the substrate while using the second impurity injection mask as a mask.

20.(Canceled)

21.(Canceled)

22.(Canceled)

23.(Canceled)

24. A top-gate LDD thin film transistor comprising:
a gate electrode having a thickness of not less than 100 nm

nor more than 250 nm; and

insulating reaction product films for coating both ends of the gate electrode in a channel direction, the insulating reaction product films being oxide films of the gate electrode material each being 0.075 -- 0.5 μ m long and thick enough to function as a mask at a time of impurity injection.

25.(Amended) A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

insulating reaction product films for coating both ends of the gate electrode in a channel direction, the insulating reaction product films being oxide films of the gate electrode material each being 0.075 -- 0.5 μ m long and thick enough to function as a mask at a time of impurity injection, [the LDD thin film transistor is characterized in that] wherein a semiconductor layer directly below the insulating reaction product films has:

an offset region on a gate electrode side; and

a low-concentration impurity-injected region on a side opposite to the gate electrode side.

26. A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

insulating reaction product films for coating both ends of the gate electrode in a channel direction, the insulating reaction product films being oxide films of the gate electrode material each being $0.075 \text{ -- } 0.5\mu\text{m}$ long and thick enough to function as a mask at a time of impurity injection, the LDD thin film transistor is characterized in that a semiconductor layer directly below the insulating reaction product films has a low-concentration impurity intruded region due to heat diffusion or scattering on the gate electrode side; and

a low-concentration impurity injected region on a side opposite to the gate electrode side.

27.(Canceled)

28. A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm nor more than 250 nm; and

a semiconductor layer having, at each end in a channel direction under the gate electrode, an offset region on the gate electrode side and a low-concentration impurity injected region on a side opposite to the gate electrode side in a range having a length of $0.075 \text{ -- } 0.5\mu\text{m}$ on both ends of the channel region provided under the gate electrode in the channel direction.

29. A top-gate LDD thin film transistor including:

a gate electrode having a thickness of not less than 100 nm

nor more than 250 nm; and

a semiconductor layer having, at each end in a channel direction under the gate electrode, a low-concentration impurity intruded regions due to heat diffusion or scattering on the gate electrode side and a low-concentration impurity injected region on a side opposite to the gate electrode side in a range having a length of $0.075 \sim 0.5\mu\text{m}$ on both ends of the channel region provided under the gate electrode in the channel direction.

30.(Canceled)

31.(Canceled)

32.(Amended) The top-gate LDD thin film transistor in accordance with claim 30, [characterized in that] wherein the semiconductor layer is a polysilicon layer.

33. The thin film transistor in accordance with claim 32, wherein the electric resistance in the low-concentration impurity injected region is $20\text{ k}\Omega/\square$ and $100\text{ k}\Omega/\square$.

34. A method of fabricating an LDD thin film transistor including:

a first impurity-injecting step of injecting impurities in low concentrations while using as a mask a gate electrode made from a

metal film of 300 -- 500 nm-thick;

a reaction product film-forming step of forming reaction product films of 0.075 -- 0.5 μ m-long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate electrode; and

a second impurity-injecting step of injecting the impurities in high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film-forming step.

35.(Amended) The method of fabricating an LDD thin film transistor in accordance with claim 34, [characterized in that] wherein the reaction product film [the reaction product film-forming step] is a thermal oxide film [thermal oxide film-forming step of forming the oxide films] formed by oxidizing the gate electrode material metal with heat.

36. The method of fabricating an LDD thin film transistor in accordance with claim 35 further including a gate electrode material-selecting step of selecting an Mo-W alloy having Mo content of 15 -- 50 atom% as a material of the gate electrode.

37.(Amended) A method of fabricating an LDD thin film

transistor, including:

a first impurity-injecting step of injecting impurities in low concentrations to a semiconductor layer while using as a mask a gate electrode made from a metal film of 300 -- 500 nm-thick;

a reaction product film-forming step of forming reaction product films of 0.075 -- 0.5 μ m long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate electrode;

a second impurity injecting step of injecting impurities in high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film-forming step; and

a reaction product film-removing step of removing the reaction product films of the oxide films or the like of the metal in both ends of the gate electrode in the channel direction formed in the reaction product film-forming step.

38. A method of fabricating an LDD thin film transistor, including:

a reaction product film-forming step of forming reaction product films of 0.075 -- 0.5 μ m long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate

electrode made of a metal film of 300 -- 500 nm-thick;

a first impurity-injecting step of injecting impurities in high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film-forming step;

a reaction product film-removing step of removing the reaction product films of the oxide films or the like of the metal in both ends of the gate electrode in the channel direction formed in the reaction product film-forming step; and

a second impurity-injecting step of injecting impurities in low concentrations while using as a mask the gate electrode from which the reaction product films have been removed.

39.(Amended) The method of fabricating an LDD thin film transistor in accordance with claim 37 [or 38, characterized in that the reaction product film-forming step is a] , wherein a thermal oxide film [a thermal oxide film-forming step of forming the oxide films] as the reaction product film is formed by oxidizing the gate electrode material metal with heat.

40.(Canceled)

41. A method of fabricating an LDD thin film transistor, including:

a first impurity-injecting step of injecting impurities in low concentrations while using as a mask a gate electrode made of a metal film of 300 -- 500 nm thick;

a reaction product film-forming step of forming reaction product films of 0.075 -- 0.5 μ m-long oxide films or the like of the gate electrode material metal at both ends of the gate electrode in a channel direction by applying a reactive fluid to the gate electrode;

a second impurity-injecting step of injecting impurities in high concentrations while using as a mask the gate electrode having the reaction product films at both ends thereof in the channel direction provided in the reaction product film forming step; and

a reverse reaction step of returning the reaction product films of oxide films of the metal in both ends of the gate electrode in a channel direction formed in the reaction product film-forming step to an original metal through a reverse reaction such as reduction.

42.(Amended) The method of fabricating an LDD thin film transistor in accordance with claim 41, [characterized in that the reaction product film-forming step is] wherein a thermal oxide film as the reaction product film is formed [a thermal oxide film-forming step of forming the oxide films] by oxidizing the gate electrode material metal with heat.

43.(Amended) The method of fabricating an LDD thin film transistor in accordance with claim 41 [or 42 characterized in that the method includes] , wherein [a gate electrode material-selecting step of selecting] the gate electrode is made of an Mo-W alloy having Mo content of 15 -- 50 atom% [as a material of the gate electrode].

44. A method of fabricating an LDD thin film transistor, including:

an oxide film-forming step of forming 0.05 -- 0.5 μ m-thick oxide films of the gate electrode material metal at both ends of a gate electrode in the channel direction by partly oxidizing the gate electrode which is made of a 300 -- 500 nm-thick metal film; and

a diagonal direction high voltage impurity-injecting step of injecting impurities at high voltages from both sides in the channel direction at the same time or in two installments while using as a mask the gate electrode provided with the oxide films.

45. A method of fabricating an LDD thin film transistor, including:

an oxide film-forming step of forming 0.05 -- 0.5 μ m-long oxide films at both ends of a gate electrode in the channel direction by partly oxidizing the gate electrode which is made of a 300 -- 500 nm-thick metal film;



a high voltage impurity injecting step of injecting impurities at high voltages while using as a mask the gate electrode provided with the oxide films; and

a dispersing step of further dispersing the impurities which have been injected in the high voltage impurity-injecting step and diffused towards the center of the gate electrode in the channel direction when a semiconductor is heat-processed after impurity injection or when the oxide films formed in both ends of the gate electrode are heated to be removed or reduced.

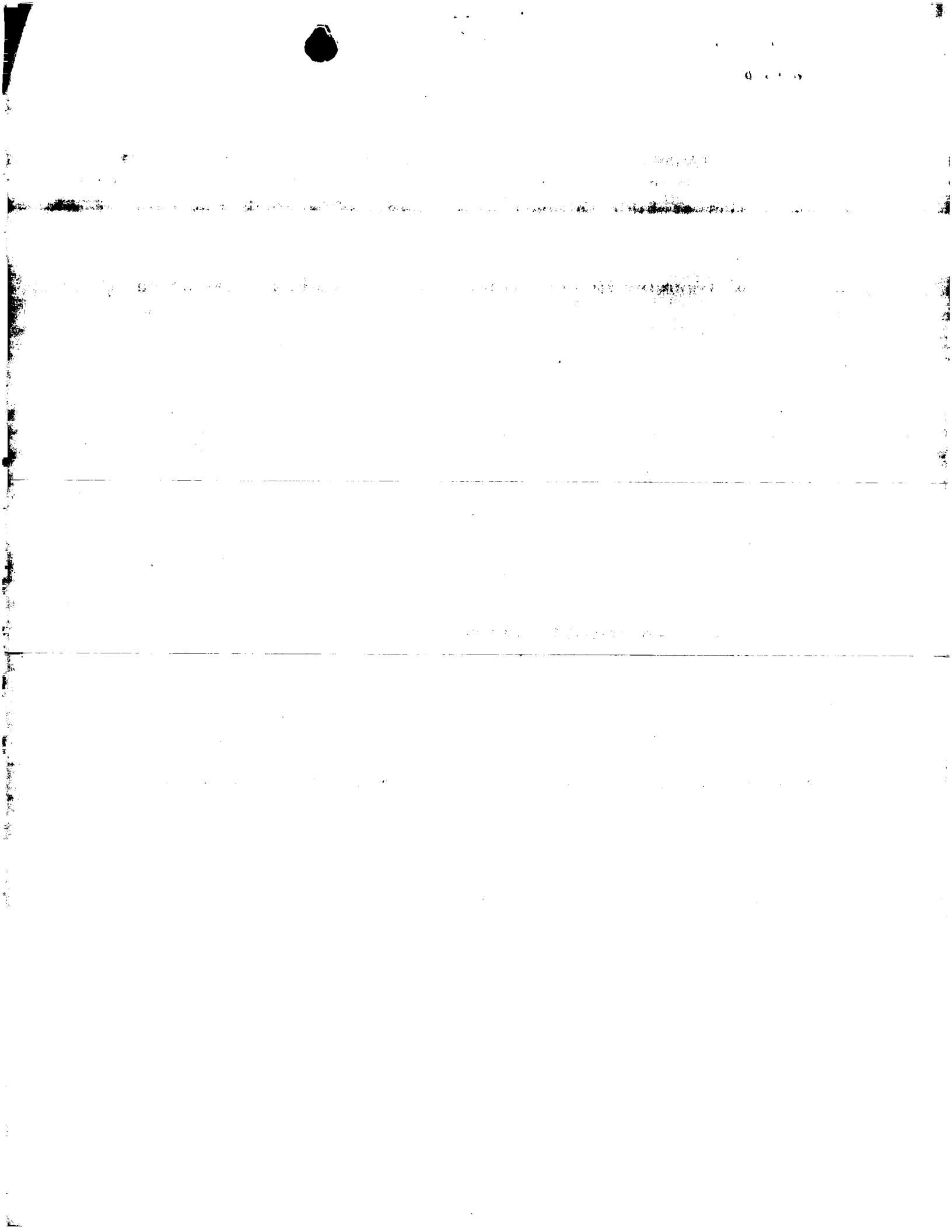
46.(Amended) A method of fabricating an offset thin film transistor, including:

a reaction product film-forming step of forming reaction product films of oxide films of a $0.075 \sim 0.5\mu\text{m}$ -long gate electrode material metal at both ends of the gate electrode in a channel direction by thermal oxidizing the gate electrode which is made of a $300 \sim 500 \text{ nm}$ -long metal film;

an impurity-injecting step of injecting impurities to the semiconductor layer in high concentrations while using as a mask the gate electrode provided with the reaction product films; and

an oxide film removing step of removing the metal oxide films in both ends of the gate electrode in the channel direction after the impurity-injecting step.

47.(Canceled)



48.(Canceled)

49.(Canceled)

50.(Canceled)

51.(Canceled)

52.(Amended) The method of fabricating an offset thin film transistor in accordance with claim 46, [characterized in that the method further includes a semiconductor material-selecting step of selecting] wherein polysilicon is used as semiconductor material of the offset thin film transistor.

53.(New) The method for fabricating an LDD thin film transistor in accordance with claims 2, wherein, in the isolated resist-etching step, both end portions of the resist in the channel direction are removed by means of ashing with the use of a gas containing at least one of O₂ and ozone.

54.(New) The method of fabricating an LDD thin film transistor in accordance with claim 38, wherein a thermal oxide film as the reaction product film is formed by oxidizing the gate electrode material metal with heat.

